

009999998 \*\*Image available\*\*

WPI Acc No: 1994-267709/199433

Related WPI Acc No: 1996-474372; 1996-491208; 1999-377862; 2000-209479;  
2000-567939; 2000-614542; 2003-548521; 2004-138221

XRAM Acc No: C94-122310

XRPX Acc No: N94-210913

**Insulated gate type FET device for LCD optical devices - incorporates  
drain electrode extension beyond insulation film, deposited in upper  
region over gate electrode**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: HAMATANI T; YAMAZAKI S

Number of Countries: 003 Number of Patents: 007

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week   |   |
|------------|------|----------|-------------|------|----------|--------|---|
| JP 6196500 | A    | 19940715 | JP 91174269 | A    | 19910516 | 199433 | B |
| US 5459090 | A    | 19951017 | US 92877421 | A    | 19920501 | 199547 |   |
|            |      |          | US 93111740 | A    | 19930825 |        |   |
| US 5592008 | A    | 19970107 | US 92877421 | A    | 19920501 | 199708 |   |
|            |      |          | US 93111740 | A    | 19930825 |        |   |
|            |      |          | US 95504226 | A    | 19950719 |        |   |
| KR 9513793 | B1   | 19951116 | KR 927237   | A    | 19920429 | 199902 |   |
|            |      |          | KR 9528651  | A    | 19950828 |        |   |
| KR 9513794 | B1   | 19951116 | KR 927237   | A    | 19920429 | 199902 |   |
| US 6017783 | A    | 20000125 | US 92877421 | A    | 19920501 | 200012 |   |
|            |      |          | US 93111740 | A    | 19930825 |        |   |
|            |      |          | US 95504086 | A    | 19950719 |        |   |
| US 6555843 | B1   | 20030429 | US 92877421 | A    | 19920501 | 200331 |   |
|            |      |          | US 93111740 | A    | 19930825 |        |   |
|            |      |          | US 95504086 | A    | 19950719 |        |   |
|            |      |          | US 96658630 | A    | 19960605 |        |   |

Priority Applications (No Type Date): JP 91174269 A 19910516

Patent Details:

| Patent No  | Kind | Lat Pg | Main IPC        | Filing Notes  |
|------------|------|--------|-----------------|---|
| JP 6196500 | A    |        | 20 H01L-021/336 |   |
| US 5459090 | A    |        | 30 H01L-021/265 | Cont of application US 92877421   |
| US 5592008 | A    |        | 29 H01L-027/01  | Cont of application US 92877421<br>Div ex application US 93111740<br>Div ex patent US 5459090 |
| KR 9513793 | B1   |        | H01L-029/78     | Div ex application KR 927237  |
| KR 9513794 | B1   |        | H01L-029/786    |   |
| US 6017783 | A    |        | H01L-021/84     | Cont of application US 92877421<br>Div ex application US 93111740<br>Div ex patent US 5459090 |
| US 6555843 | B1   |        | H01L-029/72     | Cont of application US 92877421   |

Best Available Copy

Div ex application US 93111740  
Cont of application US 95504086  
Div ex patent US 5459090  
Cont of patent US 6017783

**Abstract (Basic): JP 6196500 A**

The field effect transistor is formed on a semiconductor substrate (1). A gate insulation film (6) is formed near the side of the gate electrode (8). Electrodes (7) are formed for source and drain. The drain electrode starting from drain domain goes all the way up to the insulation film top surface, formed above the gate electrode. The gate insulation film separates gate electrode from the source, drain and channel domains. Above the gate electrode, an insulation film (11) is formed. An anodised film (10) forms the side wall structure for this gate electrode.

**USE/ADVANTAGE** - For use in image sensors. Prevents fall in frequency characteristics of the device and increases ON-state resistance of FET. Reduces boundary face level density and cell area. Increases rate of opening of LCD panel. Reduces the number of masks needed for manufacture of LCD panel. and simplifies production process.

Dwg.1/12

**Title Terms:** INSULATE; GATE; TYPE; FET; DEVICE; LCD; OPTICAL; DEVICE; INCORPORATE; DRAIN; ELECTRODE; EXTEND; INSULATE; FILM; DEPOSIT; UPPER;

REGION; GATE; ELECTRODE

**Derwent Class:** L03; U11; U12; U14

**International Patent Class (Main):** H01L-021/265; H01L-021/336; H01L-021/84; H01L-027/01; H01L-029/72; H01L-029/78; H01L-029/786

**International Patent Class (Additional):** H01L-027/12; H01L-029/784

**File Segment:** CPI; EPI

?

Best Available Copy

특 1995-0013793

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)(51) Int. Cl.<sup>6</sup>  
H01L 29/78(48) 공고일자 1995년 11월 16일  
(11) 공고번호 특 1995-0013793

|            |  |
|------------|--|
| (21) 출원번호  | 특 1995-0028651(분할)   |
| (22) 출원일자  | 1995년 08월 28일  |
| (62) 원출원   | 특허 특 1992-0007237<br>원출원일자 : 1992년 04월 29일   |
| (30) 우선권주장 | 91-174269 1991년 05월 16일 일본(JP)   |
| (71) 출원인   | 가부시키가이사 한도오파이 에네루기 엔큐쇼 아마자끼 순페이<br>일본국 가나가와현 아쓰기시 하세 398                           |
| (72) 발명자   | 아마자끼 순페이<br>일본국 토오쿄 세타가야쿠 7초메 기타가라스아마 21-21<br>하마타니 토시지<br>일본국 가나가와현 아쓰기시 하세 987-4 |
| (74) 대리인   | 황의만  |

설사관 : 경경국 (하자공보 제4217호)

## (54) 전기광학장치, 상보형 박막 트랜지스터상 및 그의 제조방법

요약

내용 없음.

회포도

도 1

증명서

[발명의 명칭]

전기광학장치, 상보형 박막 트랜지스터상 및 그의 제조방법

[도면의 간단한 설명]

제 1 도는 본 발명의 TFT 소자 구조의 일례도.

제 2 도는 증례의 TFT 소자 구조도.

제 3 도는 본 발명의 TFT 제조공정의 개략 단면도.

제 4 도는 본 발명의 TFT 제조공정의 평면도.

제 5 도는 본 발명의 TFT의 다른 제조공정의 개략 단면도.

제 6 도는 본 발명의 TFT의 다른 제조 공정의 평면도.

제 7 도는 본 발명의 TFT를 상보형으로 액정 전기광학장치에 응용했을 때의 회로의 개략도.

제 8 도는 본 발명의 TFT를 상보형으로 액정 전기광학장치에 응용했을 때의 제조 공정의 개략 단면도.

제 9 도는 본 발명의 TFT를 상보형으로 액정 전기광학장치에 응용했을 때의 기판상의 배치의 모양을 나타내는 개략도.

제 10도는 본 발명의 TFT를 상보형으로 액정 전기광학장치에 응용했을 때의 회로의 개략도.

제 11도는 본 발명의 TFT를 상보형으로 액정 전기광학장치에 응용했을 때의 제조 공정의 개략 단면도.

제 12도는 본 발명의 TFT를 상보형으로 액정 전기광학장치에 응용했을 때의 기판상의 배치의 모양을 나타내는 개략도.

\* 도면의 주요부분에 대한 부호의 설명

1 : 기판

2 : 반도체층

|                |             |
|----------------|-------------|
| 3 : 소스, 드레인 영역 | 6 : 게이트 절연막 |
| 7 : 소스, 드레인 전극 | 8 : 게이트 전극  |
| 10 : 양극 산화층    | 11 : 절연막    |
| 13 : 잔존영역      | 49 : 절연막    |
| 55 : 게이트 전극    | 56 : 게이트 전극 |
| 60 : 소스        | 61 : 드레인    |
| 62 : 소스        | 63 : 드레인    |
| 66 : 잔존영역      | 71 : 화소전극   |
| 100 : 양극산화막    |             |

### [발명의 상세한 설명]

본 발명은 상보형 박막 트랜지스터층 및 그의 제조방법에 관한 것이며, 특히 액정 전기광학장치나 완전 밀착형 이미지 센서 장치등에 적용 가능한 것이다.

증래부터 알려진 절연 게이트형 전계효과 반도체장치는 여러분야에서 폭넓게 사용되고 있다. 이 반도체 장치는 실리콘 기판상에 형성된 것이며, 다수의 반도체 소자를 기능적으로 집적시켜서, IC 또는 LSI로서 이용하고 있다.

한편, 동일한 절연 게이트형 전계효과 반도체장치이면서, 절연기판상 등에 박막을 적용하여 형성된 박막 형 절연 게이트형 전계효과 반도체장치(이하 TFT라 한다)가 액정 전기광학장치의 화소의 스위칭 소자부 분, 구동 회로 부분 혹은 밀착형 이미지 센서의 인식 회로부분등에 적극적으로 사용되기 시작하고 있다.

이 TFT는 상술한 바와 같이 절연성 기판상에 기상법으로 박막을 적용하여 형성하므로, 그 제작 분위기 온도가 최고 500°C 정도로 저온에서 형성할 수 있고, 값이싼 소다 유리, 봉규산 유리등을 기판으로 사용할 수 있다.

이와같이 값이싼 기판상에 제작할 수 있고, 그 제작하는 최대 치수는 박막을 기상법으로 형성하는 장치의 치수에만 한정되는 것으로, 용이하게 대면적 기판상에 트랜지스터를 형성할 수 있는 이점을 가지며, 이 때문에 다양한 화소를 갖는 매트릭스구조의 액정 전기광학장치나 일자원 또는 이차원의 이미지 센서로의 이용이 기대되고, 일부 실현되고 있다.

이 증래 TFT의 대표적인 구조를 제 2 도에 개략적으로 나타낸다.

제 2 도에 있어서, (1)은 유리로 이루어진 절연성 기판이며, (2)는 비정질 반도체로 이루어진 박막 반도체, (3)은 소스, 드레인 영역이고 (7)은 소스, 드레인 전극, (8)은 게이트 전극이다.

이와같은 TFT는 일반적으로 우선 기판상에 반도체피막을 형성하고, 제 1 마스크를 사용하여 필요부분에 섬형상으로 이 반도체 영역(2)를 패터닝하여 형성한다. 다음으로 이 게이트 절연막(6)을 형성하고, 이 위에 게이트전극 재료를 형성하며, 제 2 마스크를 사용하여 게이트 전극(8)과 게이트 절연막(6)을 패터닝한다.

이후, 제 3 마스크에 의해 형성한 포토레지스터의 마스크와 게이트전극(8)을 마스크로서 셀프얼라인으로 반도체 영역(2)에 소스, 드레인 영역(3)을 형성한다. 이후, 층간절연막(4)을 형성한다. 이 층간 절연막에 대하여 소스, 드레인 영역(3)으로의 전극 접속을 위하여 콘택트 홀을 제 4 마스크를 사용하여 형성한다. 그후 전극 재료형성후 제 5 마스크에 의해 이 전극 재료를 패터닝하여 전극(7)을 형성하고, TFT를 완성한다.

이와같이 일반적인 TFT는 5장의 마스크를 사용하고, 상보형 TFT의 경우는 6장의 마스크가 필요하였다. 그 때문에 당연히 복잡한 접적 회로로 하는 경우에는 그 매수 이상의 마스크가 필요하게 된다. 이와같이 다수의 마스크를 사용하는 것은 TFT 소자를 제작하는 공정에서, 복잡한 공정이 필요해지고 또한 마스크를 정합하는 회수도 당연히 증가한다. 이들은, TFT 소자의 제조 효율, 생산성의 저하를 일으킨다. 또한, TFT 소자를 사용한 전자 장치의 대형화나 TFT 소자 자체의 소형화, 패턴의 미세화가 이를 더욱 저하시키는 요인인 되었다. 그로 인하여 TFT 제작 공정에 있어서, 복잡한 공정을 필요로 하지 않는 공정, TFT 제작에 필요한 마스크의 수를 줄이는 새로운 TFT 구조를 기대하고 있었다.

따라서, 본 발명은 절연 게이트형 전계 효과 반도체장치의 새로운 구조와 간단한 제조공정에 관한 것이다. 증래에 비하여 적은 마스크 수로 TFT를 제작할 수 있는 점을 특징으로 하는 것이다.

본 발명의 목적은 기판의 절연면에 한쌍의 반도체 섬형상을 형성하는 단계 : 상기 반도체 섬형상에 게이트 절연층을 형성하는 단계 : 적어도 게이트전극의 측면에 양극 산화층을 형성하기 위하여 양극 산화에 의해 상기 게이트전극의 적어도 측면을 산화하는 단계 : 상기 게이트전극과 그위에 상기 양극 산화층을 마스크로 사용하여 상기 양 반도체 섬형상의 부분들에 제 1 전도성을 갖는 제 1 불순을 이온을 주입하여 상기 반도체 섬형상들에 제 1 전도성을 갖는 한쌍의 불순을 영역을 형성하는 단계로서, 상기 제 1 불순이온이 상기 양 반도체 섬형상의 각각의 주요면에 대해 경사방향으로 향하는 단계 : 상기 반도체 섬형상과, 그위에 형성된 대응하는 게이트전극의 하나위에 마스크를 형성하는 단계 : 및 제 2 전도성을 갖는 한쌍의 불순을 영역을 형성하기 위하여 다른 하나의 반도체 영역의 부분들에 제 2 전도성을 갖는 제 2 불순을 이온을 도입하는 단계로서, 상기 제 2 불순을 이온이 상기 양 반도체 영역의 각각의 주요면에 대해 경사진 방향으로 향하는 단계를 포함하고, 상기 제 1 불순을 영역과 제 2 불순을 영역이 그들이 결합된 게이트전극의

측면 가장자리와 각각 절편된 P채널 박막 트랜지스터와 N-채널 박막 트랜지스터를 포함하는 상보형 트랜지스터상 제조 방법을 제공하는 것이다.

본 발명의 목적은 기판의 절연면에 한쌍의 반도체 섬형상을 형성하는 단계; 상기 반도체 섬형상에 게이트 절연층을 형성하는 단계; 적어도 게이트전극의 층면에 양극 산화층을 형성하기 위하여 양극 산화에 의해 상기 게이트전극의 적어도 층면을 산화하는 단계; 상기 게이트전극과 그위에 상기 양극 산화층을 마스크로 사용하여 상기 양 반도체 섬형상의 부분들에 제 1 전도성을 갖는 제 1 불순률 이온을 주입하는 단계; 상기 반도체 섬형역들에 제 1 전도성을 갖는 한쌍의 불순률 영역을 형성하는 단계로서, 상기 제 1 불순률 이온이 상기 양 반도체 섬형상과, 그위에 형성된 대응하는 게이트전극의 하나위에 마스크를 형성하는 단계; 및 제 2 전도성을 갖는 한쌍의 불순률 영역을 형성하기 위하여 다른 하나의 반도체 영역위에 형성된 게이트전극과 그의 양극 산화물을 마스크로 사용하여 다른 하나의 반도체 영역의 부분들에 제 2 전도성을 갖는 제 2 불순률 이온을 도입하는 단계로서, 상기 제 2 불순률 이온이 상기 양 반도체 영역의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계를 포함하고, 상기 제 1 불순률 영역과 제 2 불순률 영역이 그들이 결합된 게이트전극의 층면 가장자리와 각각 절편된 P채널 박막 트랜지스터와 N-채널 박막 트랜지스터상 제조 방법을 제공하는 것이다.

또한 본 발명의 목적은 기판의 절연면에 한쌍의 반도체 섬형상을 형성하는 단계; 상기 반도체 섬형상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층에 게이트 전극을 형성하는 단계; 게이트전극의 적어도 층면에 양극 산화층을 형성하기 위하여 양극 산화에 의해 상기 게이트전극의 적어도 층면을 산화하는 단계; 상기 게이트전극과 그위의 상기 양화층을 마스크를 사용하여 상기 양 반도체 섬형상의 부분들에 제 1 전도성을 갖는 제 1 불순률을 도입하여 상기 반도체 영역들에 제 1 전도성을 갖는 불순률 영역 쌍들을 형성하는 단계로서, 상기 제 1 불순률이 상기 양 반도체 섬형상의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계; 상기 반도체 섬형상의 하나 및 그위에 형성된 대응하는 게이트전극의 하나위에 마스크를 형성하는 단계; 및 반도체 섬형상의 다른 하나위에 형성된 게이트전극과 그의 양극 산화물을 마스크를 사용하여 제 2 전도성을 갖는 한쌍의 불순률 영역을 형성하기 위하여 반도체 영역의 다른 하나의 부분들에 제 2 전도성을 갖는 제 2 불순률 이온을 도입 단계로서, 다른 하나의 반도체 섬형상에 형성된 제 1 불순률의 농도가 상기 제 2 불순률의 농도보다 작고, 상기 제 2 불순률 이온이 상기 양 반도체 섬형상의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계를 포함하고, 상기 제 1 및 제 2 불순률 영역이 결합된 게이트전극의 층면 가장자리에서와 각각 정렬된 P채널 박막 트랜지스터와 N-채널 박막 트랜지스터를 포함하는 상보형 트랜지스터의 제조방법을 제공하는 것이다.

또한 본 발명의 목적은 기판의 절연면에 형성된 P채널 박막 트랜지스터와 N-채널 박막 트랜지스터를 포함하는 전기광학장치에 있어서, (a) 상기 P채널 박막 트랜지스터가 상기 절연면에 형성되고, 소스, 드레인 및 채널영역을 갖는 제 1 반도체층, 상기 제 1 반도체층 위에 형성된 제 1 게이트 절연층, 및 상기 제 1 게이트 절연층 위에 형성된 제 1 게이트 전극을 포함하고, (b) 상기 N-채널 박막 트랜지스터가 상기 절연면에 형성되고, 소스, 드레인 및 채널영역을 갖는 제 2 반도체층, 상기 제 2 반도체층 위에 형성된 제 2 게이트 절연층, 상기 제 2 게이트 절연층 위에 형성된 제 2 게이트 전극을 포함하여 상기 게이트전극의 적어도 층면이 상기 게이트전극의 양극 산화층과 함께 형성하고, 상기 소스와 드레인 영역이 상기 트랜지스터 각각의 대응 게이트 전극으로부터 오프셋된 전기광학장치를 제공하는 것이다.

본 발명의 TFT의 게이트 전극 층면에는 게이트 전극을 구성하는 재료의 양극 산화막이 설치되고, 소스, 드레인 영역에 접속하는 전극은 상기 소스, 드레인 영역의 윗면과 층면에 접하고 있으며, 상기 소스, 드레인에 접속된 전극은 상기 게이트 전극의 층면부근에 설치된 절연막의 윗쪽에까지 걸쳐서 현재(延在)되어 있는 점을 특징으로 하는 절연 게이트형 전계 효과형 반도체 장치이다.

즉, 제 1 도에 나타난 본 발명 TFT의 개략 단면도에서와 같이, 게이트 전극(8)의 적어도 층면 부근에는 양극 산화막(10)이 설치되어 있고, 이 양극 산화막의 단면으로부터 소스, 드레인 영역(3)의 윗면과 층면이 조금 뛰어나와 있으며, 이 뛰어나온 부분에서 전극(7)이 소스, 드레인 영역과 접속되어 있어 접속 면적을 크게 험하고 있다. 또한, 이 전극(7)은 게이트 전극(8) 위의 절연막(11)의 위쪽에까지 현재되어 있으며, 이 부분에서 페터닝되어 개개의 전극으로 분리되어 있다.

이 제 1 도와 같은 구조의 TFT를 제작하는 공정을 제 3 도에 개략적으로 나타낸다. 본 발명의 명세서에 기재된 도면에 있어서는 설명을 위해 개략적으로 나타난 것에 지나지 않으므로, 실제의 치수, 형상과는 약간의 차이가 있다. 다음은, 제 3 도에 의거하여 본 발명 TFT의 제조공정의 일례를 설명한다.

우선 등도면(A)와 같이, 유리기판 예를들면 내열성을 갖는 결정화 유리(1) 위에 반도체층(2)을 형성한다. 이 규소반도체층으로서는 아모르퍼스 반도체, 다결정 반도체등 폭넓은 종류의 반도체를 사용할 수가 있다. 또한, 형성 방법으로는 채용하는 반도체의 종류에 따라 퀄라즈마 CVD법, 스팍터링법, 열 CVD법등을 선택할 수가 있다. 여기에서는, 다결정 실리콘 반도체를 예로 하여 미하의 공정을 설명해간다.

다음으로 게이트 절연막이 되는 산화 규소막(6)을 미 반도체층(2) 위에 형성한다. 또다시 이 위에 게이트 전극이 되는 전극 재료, 여기서는 전극 재료로 알루미늄을 형성한다. 그 다음, 이 윗면에 절연막(11)으로서 산소 규소막을 스팍터링법으로 형성한다. 이후 제 1 마스크 ①을 사용하여 이 절연막(11) 및 게이트전극(8)을 페터닝한다. 이후, 양극 산화층 전해 용액안 중에서 이 게이트 전극(8)의 층면 부근을 양극 산화하고, 무공질성(無孔質性) 산화알루미늄(10)을 적어도, 채널 영역부근의 게이트 전극 층면 부근에 제 3 도b와 같이 형성한다.

이 양극산화에 사용하는 용액으로서는, 대표적으로 활산, 초산, 인산등의 강산용액이나 주석산, 구연산에 텐린글리콜이나 프로필렌글리콜등을 혼합한 혼합산등을 사용할 수 있다. 또한, 필요에 따라서 이 용액의 끈을 조정하기 위해 염이나 알카리 용액을 혼합하는 것도 가능하다.

우선, 3의 주석산 수용액 1에 대하여 9의 비율로 프로필렌글리콜을 첨가한 A64 전해 용액에 기판을 담그고, 알루미늄의 게이트전극을 전원의 양극에 접속하고 대향하는 음극으로서 백금을 사용하여 직류 전력을 인가했다.

양극 산화의 조건은 처음 정전류 모드로 전류 밀도  $2.5\text{A/cm}^2$ 에서 30분간 전류를 흘린 후, 정전압 모드로 5분간 처리하여 두께  $2500\text{A}$ 의 산화 알루미늄을 게이트전극의 측면 부근에 형성했다. 이 산화처리와 같은 조건으로 제작한 시료를 사용하여 이 산화 알루미늄의 절연성을 조사한 결과, 비저항은  $10^9\text{M}\Omega$ 이고, 절연 내압은  $2 \times 10^6\text{V/cm}$ 의 특성을 갖는 산화 알루미늄막이었다.

또한, 이 시료의 표면을 주사형 전자 현미경으로 관찰한 결과, 약 8000배까지 확대하여 그 표면의 요철을 관찰할 수 있었는데, 미세한 구멍을 관찰할 수 없는 양호한 절연 피막이었다.

다음으로, 이 윗면에 틀라즈마 CVD법으로 산화 규소막(12)를 형성한 후, 이 상태에서 기판에 대하여 거의 수직 방향으로 이방성 에칭처리를 하여, 제 3 도 (d)와 같이 절연막(11), 게이트 전극(8) 및 양극 산화막(10)으로 구성되는 블록(△) 형상부의 측벽위치에 산화규소(13)를 남긴다.

이 산화규소막(12)은 절연막(11) 보다 에칭속도가 빠르게 되도록 그 제작시의 분위기 온도를  $200^\circ\text{C}$ 로 통상보다 낮은 온도로 형성한다. 또한, 이 막으로서는 산화 규소막 뿐만이 아니라, 유기 수지막이나 그외의 피막을 사용할 수 있다.

다음으로 이 남은 산화규소(13)과 블록형상부의 절연막(11), 게이트전극(8) 및 양극 산화막(10)을 마스크로 하여, 이 아래의 반도체층(2)을 셀프얼라인으로 에칭 제거한다. 이때의 모양을 제 3 도 e에 나타낸다. 또한, 이때의 상면의 모양을 제 4 도 a에 나타낸다. 또한 제 4 도에의 A-A'에 대응하는 단면을 제 3 도에 나타내고 있다.

다음으로 이 남은 산화규소(13)과 게이트 절연막(11)의 블록형상부를 마스크로서 산화규소만 선택에 청제거하여, 제3도 f 및 제 4 도 b와 같이 반도체층(2)의 일부를 게이트전극의 단부로부터 노출시킨다.

이어서 이 노출된 부분에 대하여, 소스, 드레인 영역이 되도록 불순물 도핑을 행한다. 제 3 도 f와 같이 게이트의 양극 산화막(10)을 마스크로 하여 기판의 윗면으로부터, 인 이온을 이온 주입처리한다. 이와같이 하여 소스, 드레인 영역(3)을 형성한다. 이후, 영역의 활성화 처리를 위하여 레이저를 이 부분에 조사하고 레이저 어닐 처리에 의해 소스, 드레인 영역의 활성화를 행한다. 이 활성화 처리로는 이밖에도 열 어닐 처리등을 채용할 수 있다.

다음으로 이 윗면에 소스, 드레인의 전극이 되는 알루미늄을 형성하고, 제 2 마스크 ②를 사용하여, 소정의 패턴으로 소스, 드레인의 전극을 에칭하여 소스와 드레인의 전극을 분단한다. 이 상태를 제4d에 나타낸다.

마지막으로 이 소스와 드레인의 전극(?) 및 블록형상부를 마스크로 하여, 주변에 튀어난온 반도체층(2)을 에칭 제거하고, 제 3 도 g 및 제 4 도 d에 나타낸 것과 같은 TFT를 완성한다.

상기의 설명에서, 설명한 TFT의 제조공정은 한가지 예이며, 이 설명에 나타낸 제조공정에만 제한되는 것은 아니다. 예를들면, 소스, 드레인 영역의 불순물의 도핑 공정은 상기의 설명에서는 제 3 도 f에 나타낸 것과 같이 반도체층(2)의 패터닝틀에 행하였으나, 제 3 도 b의 상태로 게이트상의 절연막(11)을 마스크로 하여 이온 주입처리를 행하는 것도 가능하다.

또한, 제 1 도에 나타낸 TFT의 다른 제작방법의 예로서, 제 5 도에 그 제조공정의 개략도를 나타낸다. 이 도면에 나타낸 TFT의 제작공정에서는 제 3 도의 제작공정에서 채용한 것과 같은, 이방성 에칭 기술이라는 특수한 기술은 사용하지 않고, 일반적인 공정기술로 구성되어 있다.

절연성 기판(1)상에 제 3 도의 경우와 동일하게 실리콘 반도체 피막을 전면에 형성한 후 TFT 소자의 소스, 드레인 영역과 채널 형성영역을 포함하도록 이 반도체 피막을 섬형상으로 1장째의 마스크를 사용하여 패터닝하고 TFT 소자에 대응하는 부분의 반도체막(2)를 형성한다. 이때의 상면도를 제 6 도 a에 나타내며 이 TFT 영역의 소스, 드레인, 게이트 부근의 단면도를 제 5 도 a에 나타낸다.

다음으로, 이 상면을 덮어, 게이트 절연막(6), 게이트 전극 재료인 알루미늄(8) 및 그 위에 절연막(11)을 형성한다.(제 5 도 b)

다음으로 2장째의 마스크를 사용하여, 반도체막(2)의 소정 위치에 게이트 부를 형성하도록 이들 막을 에칭하여 제 5 도 c와 같이 블록형상부를 완성하고 반도체막 2를 블록형상부로부터 노출시킨다. 또한 이 때의 윗면의 모습을 제 6 도 b에 나타낸다.

이 상태에서 제 3 도의 b의 공정과 같이 게이트 전극(8)의 측면 부근에 양극 산화막(10)을 형성하여, 제 5 도 c의 상태를 얻는다. 다음으로 이 노출되어 있는 반도체막(2)에 소스, 드레인용으로 불순물 이온을 도핑하여 소스, 드레인 영역(3)을 형성한다.(제 5 도 d)

이 이온의 도핑은 이온의 투입방향을 경사지게 행하거나, 불순물의 확산처리를 행하는 등의 처리를 하고, 소스 또는 드레인과 채널영역 반도체와의 경계를 게이트전극(8)의 끝 부근, 즉 양극 산화막(10)의 끝으로부터 중간층이 되도록 한다. 이것에 의해, 양극 산화막(10)과 게이트 절연막(6)이 접하는 부근에 소스, 드레인의 전극이 겹쳐져 설치되어도 단락되는 일이 없고, 양극 산화막(10)만으로 충분한 절연성을 확보할 수 있다.

다음에 이들의 전면을 덮어서 금속피막을 형성한 후, 3장째의 마스크를 사용하여, 절연막(11)위에까지 이 전극을 연재시켜서 소스, 드레인 전극(?)을 분단하여, 제 5 도 e와 같은 구조를 얻는다. 다음으로 이 소스, 드레인 전극(?)에서 튀어나와 있는 반도체막을 제거하기 위해 소스, 드레인 전극(?)을 마스크로 하여 에칭 처리를 하고, 제 6 도 e의 상태를 얻어, 본 발명의 TFT를 완성한다.

제 3 도에 나타낸 제조방법에 비하여, 반도체층(2)을 형성하고 난 후, 게이트 전극 형성전의 공정에서, 새로이 포토마스크를 사용하여 TFT 영역 부근만의 반도체층을 섬형상으로 패터닝하면, 제 6 도에 나타낸 바와 같이, 게이트 전극의 리드 배선 부분아래는 반도체층(2)이 존재하지 않고, 기판 또는 기판상의 절연막이 존재할 뿐으로, 이 부분에 있어서 게이트 전극 배선과 콘덴서를 구성하지 않도록 할 수 있다. 이 구

성에 의해, 보다 고속으로 응답이 가능한 TFT를 3매의 마스크에 의해 제작하는 것이 가능하게 된다. 이 모양을 제 6 도c의 상면도의 B-B' 단면도를 제 6 도d에 나타낸다.

미와같이 본 발명에 의하면 단지 2-3장의 마스크에 의해, TFT를 제작하는 것이 가능하게 되었다. 또한, 이 TFT를 상보형 구조으로 할 때에는 다시 마스크를 1-2장 추가하는 것으로 달성할 수 있다.

또한, 게이트 전극으로의 외부로부터의 접속은 양극 산화처리시에 게이트 전극의 일부를 양극 산화용 전해액에 접촉하지 않도록 하여 양극 산화막을 형성하거나, 마지막의 불필요한 반도체층을 예정한 후에 소스, 드레인의 전극과 양극 산화막과의 선택에 청으로, 외부에 노출되어 있는 양극 산화막을 제거함으로써 접속할 수가 있다. 물론, 새로이 다른 마스크를 사용하여 특정 장소의 절연막에 콘택트용 구멍을 뚫어서 접속하는 것도 가능하다.

### [실시예 1]

본 실시예에서는 제 7 도에 나타낸 것과 같은 회로 구성을 갖는 활성 매트릭스형 액정 전기광학장치에 대하여 본 발명의 TFT를 응용한 예를 나타낸다. 제 7 도에서 분명한 것과 같이 본 실시예의 활성 소자는 상보형 구조으로 되어 있으며, 하나의 회소 전극에 대하여 PTFT와 NTFT가 설치되어 있다. 이 회로구성에 대하여 실제 전극등의 배치구성을 제 9 도에 나타내고 있다. 이들은 설명을 간단히 하기 위해 2×2에 상당하는 부분만 기재하고 있다.

우선, 본 실시예에서 사용하는 액정 전기광학장치용 기판의 제작방법을 제 8 도를 이용하여 설명한다. 제 8 도에 있어서, 석영 유리등의 고가가 아닌 700A 이하, 예를들면 약 600°C의 열처리에 견딜 수 있는 유리(50)상에 마그네트론 RF(고주파) 스퍼터법을 이용하여 블록킹층(51)으로서의 산화 규소막을 1000-3000A의 두께로 제작한다. 공정 조건은 산소 100% 분위기, 성막 온도 15°C, 출력 400-800W, 압력 0.5Pa로 했다. 타겟으로 석영 또는 단결정 실리콘을 이용한 성막 속도는 30-1000A/분이었다.

이 위에, 나중 소스, 드레인, 채널형성 영역이 되는 실리콘막(52)을 LPCVD(감압기상)법, 스퍼터법 또는 틀라즈마 CVD법에 의해 형성했다. 감압기상법으로 형성할 경우, 결정화 온도 보다도 100-200°C 낮은 450-550°C, 예를들면 530°C에서 디실란(Si<sub>3</sub>N<sub>4</sub>) 또는 트리시란(Si<sub>3</sub>H<sub>6</sub>)을 CVD 장치에 공급하여 성막했다. 반응내 압력은 30-300Pa로 했다. 성막 속도는 50-250A/분이었다. PTFT와 NTFT와의 드레시홀드 전압(Vth)에 개략 동일하게 제어하기 위해, 봉소를 디보란을 이용하여  $1 \times 10^{-6}$ ~ $1 \times 10^{-5}$  cm<sup>-3</sup>의 농도로서 성막중에 첨가하여도 좋다.

스퍼터법으로 행할 경우, 스퍼터전의 배압을  $1 \times 10^{-6}$ Pa 미하로 하고, 단결정 실리콘을 타겟으로 하여 아르곤에 수소를 20-80% 혼입한 분위기에서 행하였다. 예를들면 아르곤 20%, 수소 80%로 했다. 성막온도는 150°C, 주파수는 13.56MHz, 스퍼터 출력은 400-800W, 압력은 0.5Pa였다.

틀라즈마 CVD법에 의해 규소막을 제작할 경우, 온도는 예를들면 300°C로 하고, 모노시란(SiH<sub>4</sub>) 또는 디시란(Si<sub>3</sub>H<sub>6</sub>)을 이용했다. 이들을 PCVD 장치내에 도입하여 13.56MHz의 고주파 전력을 가하여 성막했다.

이를 방법에 의해 형성된 피막은, 산소가  $5 \times 10^{-3}$ cm<sup>-3</sup>이하인 것이 바람직하다. 이 산소농도가 높으면 결정화시키기 어렵고, 열 어닐 온도를 높게 또는 열 어닐 시간을 길게 하지 않으면 안된다.

또한 지나치게 적으면 백라이트에 의해 오프 상태의 리크 전류가 증가해 버린다. 때문에  $4 \times 10^{-4}$ ~ $4 \times 10^{-3}$ cm<sup>-3</sup>의 범위로 했다. 수소는  $4 \times 10^{-3}$ cm<sup>-3</sup>이고, 규소  $4 \times 10^{-3}$ cm<sup>-3</sup>으로 하여 비교하면 1원자%였다. 또한, 소스, 드레인에 대하여 보다 결정화를 촉진시키기 위해 산소 농도를  $7 \times 10^{-3}$ cm<sup>-3</sup> 미하, 바람직하게는  $1 \times 10^{-2}$ cm<sup>-3</sup> 미하로 하고, 꼭셀구성하는 TFT의 채널 형성영역에만 산소를 미온주입법에 의해  $5 \times 10^{-3}$ ~ $5 \times 10^{-2}$ cm<sup>-3</sup>이 되도록 첨가해도 좋다. 그때 주변회로를 구성하는 TFT에는 광조사가 이루어지지 않기 때문에, 이 산소의 혼입을 보다 적게 하고, 보다 큰 캐리어 이동도를 갖도록 하는 것은 고주파 동작을 시키기 위하여 유익하다.

상기 방법에 의해, 아모르퍼스상태의 규소막을 500-1000A, 예를들면 1500A의 두께로 제작한 후, 450-700°C의 온도로 12-70시간 비산화를 분위기에서 증온의 가열처리, 예를들면 수소 분위기하에서 600°C의 온도로 유지했다. 규소막 아래의 기판표면에 아모르퍼스 구조의 산화 규소막이 형성되어 있으므로 이 열처리로 특정한 핵이 존재하지 않고, 전체가 균일하게 가열 멀된다.

어닐에 의해, 규소막은 아모르퍼스 구조로부터 질서성이 높은 상태로 옮겨지고, 일부는 결정상태를 나타내며, 얕어지는 캐리어의 이동도는 올이동도(μh)=10~200μm/Vsec, 전자 이동도(μe)=15~300μm/Vsec가 얻어진다.

제 8 도에 있어서, 규소막을 제 1 포토마스크 ①에서 포토에칭을 하고, PTFT용의 영역(30) (채널폭 20μm)을 도면의 좌측에, NTFT용 영역(40)을 우측에 제작하였다.

이 위에 산화실리콘막을 게이트 절연막(53)으로서 500-2000A, 예를들면 700A의 두께로 형성했다. 이것은 블록킹층으로서의 산화규소막(51)의 제작과 동일 조건으로 했다. 이 성막중에 봉소를 소량 첨가하고, 나이트를 이온을 고정화시켜도 좋다. 또한, 본 실시예에서는 이 험면에 형성되는 게이트 전극과 게이트 절연막과의 반음을 억제하는 역할을 갖는 블록킹 층으로서 이 산화 규소막상에 50-200A, 예를들면, 100A의 절화규소막(54)을 형성했다.

마지막으로, 이 위쪽에 게이트전극용 재료로서, 공지의 스퍼터링법으로 알루미늄을 3000A~1.5μm, 예를들면 1μm의 두께로 형성했다.

이 게이트전극 재료로서는 알루미늄 외에 몰리브덴(Mo), 텐스텐(W), 티탄(Ti), 탄탈(Ta)이나 이들의 재료에 실리콘을 혼합한 합금이나 실리콘과 금속 피막의 적층배선등을 사용할 수가 있다.

본 실시예와 같이 게이트전극으로서 금속재료를 사용하면, 특히 알루미늄 등의 저 저항재료의 경우는, 기판의 대면적, 고세밀화에 수반하여 발생하는 게이트 자연(게이트 배선을 전파하는 전압 펄스의 자연과 파형의 왜곡)의 증대를 억제할 수 있어, 용이하게 기판의 대면적화를 진행할 수가 있다.

다시, 이 게이트전극 재료상에 절연막(49)으로서 산화규소막을 두께  $3000\text{Å} \sim 1\text{μm}$ , 여기서는  $6000\text{Å}$ 으로 스팍터법에 의해 형성한 후, 이 절연막(49)과 게이트 전극 재료를 제 2 포토 마스크 ②에서 패터닝하여 제 8 도b와 같이 PTFT용의 게이트 전극(55), TFT 게이트 전극(56)을 형성했다. 이 게이트 전극은 모두 같은 게이트 배선(57)에 접속되어 있다.

다음에 이 기판을 3d의 주석산 수용액 10에 대하여, 9V의 비율로 프로필렌 글리콜을 혼가한 AGW 전해증액에 담그고, 알루미늄의 게이트 전극을 전원의 양극에 접속하여, 대향하는 음극으로서 백금을 사용하여 직류 전력을 인가했다. 이 때에 게이트 전극은 게이트 배선마다에 접속되어 있는데, 기판의 일부 부근에서 모든 게이트 배선을 끼워서 접속하도록 접속단자를 설치하고 양극 산화를 행하여 제 8 도c와 같이 게이트 전극의 측면 부근에 양극 산화막(58), (59)을 형성했다.

양극 산화의 조건은 처음, 정전류 모드로 전류밀도  $4\text{mA}/\text{cm}^2$ 에서 20분간 전류를 흘린 후, 정전압 모드로 15분간 처리하여, 두께  $2500\text{Å}$ 의 산화 알루미늄을 게이트 전극의 측면 부근에 형성했다. 이 양극 산화막은 가능한 한 두껍게 형성하는 편이 좋고, 따라서 공정조건이 허용하는 한 두껍게 형성했다.

다음으로 제 8 도d와 같이 반도체상의 절화막(54)과 산화규소막(53)을 예정 제거한 후, 기판 전면에 대하여 PTFT의 불순물로 농도를  $1\text{--}5 \times 10^{16}\text{cm}^{-3}$ 의 도즈량으로 이온 주입법에 의해 혼가했다. 이 도프 농도는  $10^{16}\text{cm}^{-3}$  정도로서 PTFT의 소스(60), 드레인(61)을 형성한다. 본 실시예에서는, 이온 도핑을 표면의 절연막을 제거한 후 행하였으나, 이온주입 조건을 바꾸면 이 반도체막상의 절연막(53), (54)을 통해서도 도핑하는 것은 가능하다.

다음으로 제 8 도e와 같이 포토레지스트(61)를 제 3 포토마스크 ③를 이용하여 형성하고 PTFT 영역을 덮어 씌운 후, TFT용 소스(62), 드레인(63)에 대해, 인을  $1\text{--}5 \times 10^{15}\text{cm}^{-3}$ 의 도즈량으로 이온 주입법에 의해 혼가하여 도프 농도가  $10^{15}\text{cm}^{-3}$  정도가 되도록 했다. 이상과 같은 이온 도핑 공정에 있어서, 이온의 주입 방향을 기판에 대하여 경사지게 하고, 게이트 전극 측면 부근의 양극 산화막의 아래방향에 불순물이 주입되도록 하여 소스, 드레인 영역의 단부를 게이트 전극의 단부와 거의 일치하도록 했다. 이에 의하여, 양극 산화막이 나중의 공정에서 형성되는 전극 배선에 대하여, 충분한 절연작용을 가지게 되며, 새로운 절연막을 형성할 필요가 없어진다.

다음으로  $600^\circ\text{C}$ 로 10-50시간 제차 가열 어닐을 행하여 불순물 영역의 활성화 처리를 행하였다. PTFT의 소스(60), 드레인(61), TFT의 소스(62), 드레인(63)을, 불순물을 활성화하여  $\text{P}^+$ ,  $\text{N}^+$ 로 제작했다. 또한 게이트 전극(55), (56)아래에는 채널 형성영역(64), (65)이 형성되어 있다. 본 실시예에서는 이 활성화 처리로서 열에 의한 어닐을 채용했으나 이 방법이 외에 레이저광을 소스, 드레인 영역에 조사하여 활성화 처리하는 방법도 채용가능하다. 이 경우, 순간적으로 활성화 처리를 행함으로, 게이트 전극에 사용하고 있는 금속재료의 확산을 고려할 필요가 없고, 본 실시예에서는 채용한 게이트 절연막상의 블록킹의 역할을 위한 절화 규소막(54)을 생략하는 것도 가능하게 된다.

다음으로 이 윗면에 절연성 피막을 상기한 스팍터법에 의해 산화규소막으로 형성했다. 이 피막의 두께는 가급적 두껍게, 예를들면  $0.5\text{--}2.0\text{μm}$ , 본 실시예에서는  $1.2\text{μm}$ 의 두께로 형성하고 그후, 이 윗면으로부터 미방성 예정처리를 행하여 절연막, 게이트 전극 및 양극 산화막으로 구성되는 블록 형상부의 측벽부근에 전준영역(66)을 형성한다. 그 모양을 제 8 도f에 나타낸다.

다음으로 이 블록형상부와 전준영역(66)을 마스크로 하여, 반도체막(52)의 불필요한 부분을 예정제거하고, 블록형상부의 측면부근에 존재하는 전준 영역(66)을 제거하여 블록형상부의 외측에 각각의 TFT의 소소, 드레인 영역이 되는 반도체막(52)을 노출시켰다.

이 상태를 제 8 도g에 나타낸다.

또 다시, 이를 전체에 알루미늄을 스팍터법에 의해 형성하고, 리드(67), (68) 및 콘택트 부분(69), (70)을 제 4 마스크 ④에 의해 패터닝한 후, 전극(67), (68), (69), (70) 및 게이트 전극(55), (56) 상의 절연막(49) 및 그 측면 부근의 양극 산화막(58), (59)으로부터 튀어나온 반도체막을 예정 제거하고, 원전한 소자분리를 행하여 TFT를 완성시킨다. 이와같은 제조방법에 의해, 상보형 구성의 TFT를 4장의 마스크로 제작할 수 있었다. 이 모양을 제 8 도h에 나타낸다.

이 TFT는 게이트 전극측 주변이 양극 산화막으로 훑싸여 있으며, 소소, 드레인 영역은 게이트 전극부로부터 전극 접속부분만이 튀어나와 있으나 그 미외의 부분은 모두 게이트 전극아래에 존재한다.

또한, 소소, 드레인 전극은 소소, 드레인 영역의 윗면과 측면의 2개소에서 접속하고 있고 충분한 오오믹(ohmic)접속이 보증된다.

이렇게 하면, 셀프얼라인 방식이면서도,  $700^\circ\text{C}$  이상으로 모든 공정에서 온도를 가하는 일 없이 C/TFT를 만들 수가 있다. 그로 인하여, 기판 재료로서 석영등이 비싼 기판을 사용하지 않아도 되고, 본 발명의 대회면의 액정 전기광학장치에 극히 적합한 공정이다.

본 실시예에서는 열 어닐은 제 8 도a, e에서 2회 행하였다.

그러나 제 8 도a의 어닐은 구하는 특성에 따라 생략하고, 쌍방을 제 8 도e의 어닐에 의해 결합에 제조시간의 단축을 도모해도 좋다. 또한, 본 실시예에서는 게이트 전극으로서 알루미늄을 사용하고 있지만, 그 아래에 절화 규소막(54)을 설치하고 있으므로, 알루미늄이 아래의 게이트 절연막과 반응하는 일이 없고 양호한 계면 특성을 실현할 수 있었다.

다음으로 제 8 도i에 나타낸 것과 같이 2개의 TFT를 상보형 구성으로 하고, 또한 그 출력단을 액정 장치

의 한쪽 화소의 전극을 투명전극으로서 그것에 연결하기 위해 스팍터법으로 ITO(인듐·주석 산화막)를 형성했다. 그것을 제 5의 포토마스크 6에 의해 예정하여 화소전극(71)을 구성시켰다. 이 ITO는 실온-0°C로 성막하고, 200-400°C의 산소 또는 대기중의 어닐에 의해 성취했다. 이렇게하여 PTFT(30)와 NTFT(40)와 투명 도전막의 전극(71)을 동일 유리기판(50)상에 제작했다. 얼어진 TFT의 전기적인 특성은 PTFT에서 이동도는  $20\text{cm}^2/\text{Vs}$ ,  $V_{th}$ 는 -5.9(V)이며, NTFT에서 이동도는  $40\text{cm}^2/\text{Vs}$ ,  $V_{th}$ 는 5.0(V)이었다.

이 액정 전기광학장치의 전극등의 배치의 모양은 제 9 도에 나타내고 있다. 제 9 도의 C-C 선 단면이 제 8 도의 제조공정의 단면에 대응한다. PTFT(30)를 제 1 신호선(72)과 제 3 신호선(75)의 교차부에 설치하고, 제 1 신호선(72)과 오른쪽 옆의 제 3 신호선(76)의 교차부에도 다른 화소용의 PTFT가 동일하게 설치되어 있다. 한편 NTFT는 제 2 신호선(75)과 제 3 신호선(77)과의 교차부에 설치되어 있다. 또한, 인접한 다른 제 1 신호선(74)과 제 3 신호선(77) 교차부에는, 다른 화소용 PTFT가 설치되어 있다. 이와같이 C/TFT를 사용한 매트릭스 구성을 갖도록 했다. PTFT(30)는 드레인(61) 전극에서 제 1 선(72)에 연결되고, 게이트(55)는 신호선(57)에 연결되어 있다. 소스(60)의 출력단은 콘택트를 통하여 화소전극(71)에 연결되어 있다.

다른 한편, NTFT(40)는 소스(62) 전극에서 제 2 신호선(73)에 연결되고, 게이트(56)는 신호선(57)에, 드레인(63)의 출력단은 콘택트를 끼게로 PTFT와 동일하게 화소 전극(71)에 연결하고 있다.

또한, 같은 제 3 신호선에 접속되고, 또한 옆에 설치된 다른 C/TFT는 PTFT(31)가 제 1 신호선(74)에 NTFT(41)가 제 2 신호선(75)에 접속되어 있다. 이렇게 하여 한쌍의 신호선(72), (73)에 끼는 부분(내측)에 투명 도전막으로 이루어진 화소전극(71)과 C/TFT에 의해 1개의 픽셀(80)을 구성시켰다. 이러한 구조를 좌우, 상하로 반복함으로써,  $2 \times 2$ 의 매트릭스를 확대한  $640 \times 480$ ,  $1280 \times 960$ 라고 하는 대화소의 액정 전기광학 장치로 할 수 있다. 또한, 여기서 TFT의 물순률 영역을 소스, 드레인이라고 부른 것은 설명을 위한 것이며, 실제로 구동할 때에는 그 호칭의 기능과는 다른 경우가 있다.

본 실시예에 있어서는, 반도체막(52)을 제 1 포토마스크를 사용하여 셀형상으로 예정 제거하고, 각각의 TFT의 소자분리를 행하고 있다. 이것에 의해, TFT의 영역 외의 게이트 배선의 하측에는 반도체막이 존재하지 않고, 이 게이트 배선 아래는 기판상의 기판상의 접연막(49)이 설치되므로, 이 부분에서의 배선에 의한 용량의 발생을 방지할 수 있고, 단지 4장의 마스크로 다행배선 구조를 갖는 TFT의 접적회로를 제작하는 것도 가능하게 되었다.

이와같이 제작한 액티브 소자가 설치된 기판을 사용하여, 액정 전기광학장치로 한다. 우선이 기판상에 자외선 경화 특성을 갖는 예폭시 막(90)을 수지중에 50중량%의 내마트릭 액정을 분산시킨 수지를, 스크린법을 이용하여 형성했다. 사용한 스크린의 메시(mesh) 밀도는 1인치 당 125 메시로 하고, 애열존 두께는  $15\mu\text{m}$ 로 했다. 또한 스퀴즈압(Squeeze Pressure)은  $1.5\text{kg/cm}^2$ 로 했다.

다음으로 10분간 레벨링 후  $236\text{mJ}$ 를 중심으로 한 말광파장을 갖는 고압 수은 램프에서  $1000\text{mJ}$ 의 에너지를 가해 수지를 경화시켜,  $12\mu\text{m}$  두께의 소광층을 형성했다.

그 후, 직류 스팍터법을 이용하고, 몰리브덴(Mo)을  $2500\text{A}$  성막하여 제 2의 전극으로 했다.

그 후, 흑색의 예폭시 수지를 스크린법을 이용하여 인쇄를 하고,  $50^\circ\text{C}$ 로 30분간 가소성(假燒成)한 후,  $180^\circ\text{C}$ 로 30분 본소성(本燒成)을 하여,  $50\mu\text{m}$ 의 보호막을 형성했다.

기판상의 리드에 TAB 형상의 구동 IC를 접속하여, 단지 하나의 기판으로 구성되는 반사형의 액정 표시장치를 완성시켰다.

본 실시예에서는 액티브 소자로서 상보형 구성의 TFT를 각 화소에 1조씩 설치하였으나, 특히 이 구성에 한정되는 일이 없이, 특수조의 상보형 구성의 TFT를 설치해도 좋고, 또한 특수조의 상보형 구성의 TFT를 복수로 분할된 화소 전극에 설치해도 좋다.

이와같이 하여, 분산형 액정에 액티브 소자를 설치한 액정 전기광학장치를 완성했다. 본 실시예의 분산형 액정은 기판이 1장밖에 필요하지 않기 때문에 가볍고 얇은 액정 전기광학장치를 쌓고 값으로 실현할 수가 있으며, 편향판을 사용하지 않고 배향판도 필요하지 않으며, 1매만의 기판으로 액정 전기광학효과를 실현할 수 있으므로, 대단히 얇은 액정 전기광학장치를 실현할 수 있었다. 또한, 그 외에 액정 전기광학장치의 기판의 한쪽으로도 본 발명을 응용하는 것은 가능하다.

### [실시예 2]

본 실시예에서는 제 10도에 나타내는 바와 같은, 하나의 화소에 대하여 상보형 구성의 변형 트랜스퍼 게이트 TFT를 설치한 액정 전기광학장치에 본 발명을 적용했다. 본 실시예에서의 TFT의 제작은 기본적으로 실시예 1과 동일하마, 그 공정은 거의 제 8 도와 동일하게 진행한다. 단지, 본 실시예에서는 변형 트랜스퍼 게이트의 C/TFT를 채용하고 있으므로, 제 8 도와는 그의 배치가 다르다. 실제의 배치는 제 12도에 나타낸 것과 같은 위치에 TFT가 배치 접속되어 있다.

제 10도와 같이, 공통의 게이트 배선(91)에 PTFT(95)와 NTFT(96)가 게이트를 접속하고 있는 이들을 소스, 드레인 영역을 접속하고, 다른의 신호선(93)에 접속하고 있으며, 다른쪽의 소스, 드레인 영역도 공통으로 화소 전극에 접속되어 있다.

우선, 유리(98)상에 마그네트론 RF(고주파)스퍼터법을 사용하여 블록킹 층(99)으로서의 산화규소막을  $1000\text{-}3000\text{A}$ 의 두께로 제작한다. 공정조건은 산소 100% 분위기, 성막 온도  $15^\circ\text{C}$ , 출력  $400\text{-}800\text{W}$ , 압력  $0.5\text{Pa}$ 로 했다. 타겟으로 석영 또는 단결정 실리콘을 사용한 성막 속도는  $30\text{-}100\text{A/분}$ 이었다.

이 위에 실리콘막(97)을 LPCVD(감압기상)법, 스팍터법 또는 플라즈마 CVD법에 의해 형성했다.

제11도a에서, 규소막을 제 1 포토마스크 ①에서 포토에칭을 하여, TFT용 영역을 도면의 좌측에, NTFT용 영역을 우측에 제작했다. 본 실시예의 경우는 실시예 1의 경우와 다르며, 이 반도체 영역은 TFT의 영역이 되도록 확장시킨다. 한편 실시예 1의 경우는 나중공정에서 재자 이방성 예형에 의해 TFT의 영역을 확장하므로, 1회째 마스크는 개략적으로 위치 정함을 행하였다. 이 위에 산화 규소막을 게이트 절연막(103)으로 하여 500-2000 Å, 예를들면 700 Å의 두께로 형성했다. 이것은 블록킹 층으로서의 산화규소막(99)의 제작과 동일 조건으로 했다.

이후, 이 위쪽에 게이트전극(107)용 재료로서, 공자의 스퍼터링법으로 알루미늄과 실리콘의 합금을 3000 Å ~ 1.5 μm, 예를들면 1 μm의 두께로 형성했다.

이 게이트전극 재료로서는 알루미늄 실리사이드 외에 몰리브덴(Mo), 텅스텐(W), 티탄(Ti), 탄탈(Ta), 크롬(Cr)이나 이를 재료에 실리콘을 혼합한 합금이나 이들의 재료자체의 합금이나 실리콘과 금속피막의 적층 배선들을 사용할 수 있다.

다시, 이 게이트 전극 재료상에 절연막(106)으로서 산화 규소막을 두께 3000 Å ~ 1 μm, 여기서는 6000 Å로 스퍼터링에 의해 형성한 후, 이 절연막(106)과 게이트 전극(107)을 제 2 의 포토마스크 ②에서 패터닝하여 제11도b와 같이 게이트 전극(107)과 절연막(106)을 형성했다.

다음으로 이 기판을 33의 주석 산수용액 1에 대하여, 9의 비율로 프로필렌 글리콜을 혼가한 A6W 혼해용액에 담그고, 알루미늄 실리사이드의 게이트 전극을 전월의 양극에 접속하여 대향하는 음극으로서 백금을 사용하여 직류 전력을 인가했다. 이때 게이트 전극은 게이트 배선 마디에 접속되어 있는데, 기판의 단부 부근에서 모든 게이트 배선을 끼워 넣어 접속하도록 접속 단자를 설치하고 양극 산화를 행하여 제11도c와 같이 게이트 전극의 측면 부근에 양극 산화막(100)을 형성했다.

다음으로 제11도d와 같이 반도체상의 절연막(103)을 예칭 제거한 후에, 기판 전면에 대하여 TFT용 불순물로서 봉소를  $1.5 \times 10^{-6}$  cm<sup>-3</sup>의 도즈량으로 이온 주입법에 의해 절가했다. 이 도프 농도는 10<sup>19</sup> cm<sup>-3</sup> 정도로서 TFT의 소스, 드레인 영역을 형성한다. 본 실시예에서는 이온 도핑을 표면의 절연막을 제거한 후에 행하였으나, 이온 주입 조건을 변경하면 이 반도체막상의 절연막(103)을 통해서도 도핑이 가능하다.

다음으로 제11도e와 같이 포토레지스터(110)를 제 3 포토마스크 ③를 사용하여 형성하고, TFT 영역을 덮어 썬운 후, NTFT의 소스, 드레인 영역에 대하여, 인을  $1.5 \times 10^{-6}$  cm<sup>-3</sup>의 도즈량으로 이온주입법에 의해 절가하고, 도프 농도가 10<sup>19</sup> cm<sup>-3</sup> 정도가 되도록 했다. 미상과 같은 이온의 도핑 공정에 있어서, 이온의 주입 방향을 기판에 대하여 경사지게 해서, 게이트 전극 측면 부근의 양극 산화막의 아래방향으로 불순물이 주입되도록 하고 소스, 드레인 영역(104), (105)의 단부를 게이트 전극의 단부와 개략 일치하도록 했다. 이것에 의하여, 양극 산화막(100)이 나중 공정에서 형성되는 전극 배선에 대하여, 충분한 절연 작용을 갖게 되어, 새로운 절연막을 형성할 필요가 없어진다.

다음으로 레이저광을 소스, 드레인 영역에 조사하여 활성화 처리를 행한 경우, 순간적으로 활성화 처리를 행하므로, 게이트 전극에 사용하고 있는 금속 재료가 확산하는 것은 고려할 필요가 없고, 신뢰성이 높은 TFT를 제작할 수가 있었다.

다시, 이를 전체에 알루미늄을 스퍼터링에 의해 형성하고, 전극 리드(102)를 제 4 마스크 ④에 의해 패터닝한 후, 전극(102) 및 게이트 전극(107)상의 절연막(106) 및 그 측면 부근의 양극 산화막(100)에서 뛰어나온 반도체막을 예칭제거하여, 완전한 소자 분리를 행하여 TFT를 완성시킨다. 이러한 제조방법에 의해, 상보형 구조의 TFT를 4장의 마스크로 제작할 수가 있었다. 이 모양을 제11도f에 나타낸다.

다음에 제11도g에 나타낸 것과 같이 2개의 TFT를 상보형 구조으로 하고, 또한 그 출력단을, 액정 장치의 한쪽 화소 전극을 투명 전극으로서 그것에 연결하기 위해, 스퍼터링에 의해ITO(인듐·주석 산화막)를 형성했다. 그것을 제 5 의 포토마스크 ⑤에 의해 예칭하고, 화소전극(108)을 구성시켰다.

상기와 같이하여, 제12도a, b, c에 나타내는 것과 같은 배치와 구조를 갖는 변형 트랜스퍼 게이트의 TFT를 완성했다. 제12도b는 제12도a의 F-F' 단면에 대응하는 단면도이며, 제12도c는 제12도a의 E-E' 단면에 대응하는 단면도이다. 제12도b, c에 의해 분명한 것과 같이, 게이트 전극(107)상에는 반드시 층간 절연막(106)이 존재하고, 등도면(A)에 나타낸 것과 같은 게이트 배선(107)의 리드 부분과 소스, 드레인 배선(102)의 리드 부분과의 교차 부분에서 충분한 층간 절연 기능을 달취하여 이 교차 부분에서의 배선 용량의 발생을 억제할 수가 있었다.

이와같이, 본 실시예에서는 실시예 1과 같은 장수의 마스크로, 이방성 예형이라는 고도의 공정기술을 사용하는 일이 없이, 배선 부근의 용량이 보다 적고, 게이트 절연막 부근에서의 단락의 가능성도 보다 적은 소자구조의 TFT를 갖는 액티브 소자 기판을 완성할 수가 있었다.

이 기판을 제 1 기판으로서, 대향기판에 대향전극, 배향처리층이 형성된 제 2 기판을 사용하여 맞붙이고, 공자의 기술로 STN형 액정을 이 기판 사이에 주입하여 액티브 매트릭스형 STN 액정 전기광학장치를 완성했다.

미상의 예에서는 어느 것이나 액정 전기광학장치에 응용한 예를 나타냈는데, 이 예에 한정되는 것은 아니고, 다른 장치나 3차원 접적회로 소자등에 적용 가능한 것은 말할 것도 없다.

본 발명의 구성으로 종래에 비하여 대단히 적은 장수의 마스크를 사용하여 TFT 소자를 제조하는 것이 가능하게 됐다. 이 구조의 소자를 응용하여 반도체 제품을 제조하면 마스크 수의 감소에 따라, 제조 공정의 간략화와 제조 효율의 향상을 도모할 수 있어, 보다, 제조 비용이 싼 반도체 응용장치를 제공할 수 있었다.

본 발명은, 게이트 전극 재료로 금속재료를 사용하는 것으로, 이 금속재료의 양극 산화법에 의한 산화막을 그 표면에 설치하고, 그 위에 임체 교차를 갖는 3차원적인 배선을 설치하는 것을 특징으로 하고 있다. 또한, 그 게이트 전극 및 전극 측면 부근의 산화막에 의해 소스, 드레인의 콘택트 부분만을 게이트 전극

에서 노출하여 설치하고 금전점(給電點)을 채널에 가깝게 하는 것으로, 장치의 주파수 특성의 저하, ON 저항의 증가를 막을 수가 있었다.

또한 본 발명에서는 게이트 전극재료로 알루미늄을 사용한 경우, 소자 형성 공정중의 아닐시에 게이트 산화막안의 수소를, 알루미늄이 갖는 촉매 효과에 의해  $N \rightarrow N$ 으로 하여, 보다 감소시킬 수가 있으며, 계면준 위밀도(Qss)를 실리콘 게이트를 사용한 경우와 비교하여 감소시킬 수가 있어 소자 특성을 향상시킬 수 있었다.

또한, TFT의 소스, 드레인 영역을 셀프얼라인으로 하고, 다시 소스, 드레인 영역에 금전하는 전극의 콘택트 부분도 셀프얼라인으로 위치를 정했기 때문에, TFT에 요하는 소자의 면적이 둘째 접적도를 향상시킬 수가 있다. 또한 액정 전기광학장치의 활성 소자로서 사용한 경우에는 액정 패널의 개구율을 높일 수가 있었다.

또한, 게이트 전극 측면부근의 양극 산화막을 적극적으로 이용하여, 특징이 있는 구조의 TFT를 제안하고, 동시에 이 TFT 제조를 위한 마스크는 최저 2장으로 상당히 적은 마스크 수로 제조할 수가 있었다.

#### (57) 청구의 범위

##### 청구항 1

반도체층을 준비하는 단계 ; 상기 반도체층 위에 게이트 절연층을 형성하는 단계 ; 상기 게이트 전극의 적어도 층면에 양극 산화층을 형성하기 위하여 상기 게이트 전극의 표면을 양극 산화하는 단계 ; 및 상기 반도체층안에 한쌍의 불순을 전도성 영역을 형성하기 위하여 양극 산화층이 위에 제공된 게이트전극을 마스크로 하여 상기 반도체 층의 부분들에 불순을 이온을 도입하는 단계를 포함하고, 상기 불순을 이온이 상기 반도체층의 주요표면에 대해서 경사진 방향으로 상기 반도체층에 향하는 반도체장치 제조방법.

##### 청구항 2

제 1 항에 있어서, 상기 불순을 전도성 영역이 상기 게이트 전극의 측면 가장자리와 정렬된 방법.

##### 청구항 3

기판의 절연면에 한쌍의 반도체 섬형상을 형성하는 단계 ; 상기 반도체 섬형상들에 게이트 절연층을 형성하는 단계 ; 적어도 게이트전극의 층면에 양극 산화층을 형성하기 위하여 양극 산화에 의해 상기 게이트 전극의 적어도 층면을 산화하는 단계 ; 상기 게이트전극과 그위에 상기 양극 산화층을 마스크로 사용하여 상기 양 반도체 섬형상의 부분들에 제 1 전도성을 갖는 제 1 불순을 이온을 주입하여 상기 반도체 섬형상들에 제 1 전도성을 갖는 한쌍의 불순을 영역을 형성하는 단계로서, 상기 제 1 불순을 이온이 상기 양 반도체 섬형상의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계 ; 상기 반도체 섬형상과, 그위에 형성된 대응하는 게이트전극의 하나위에 마스크를 형성하는 단계 ; 및 제 2 전도성을 갖는 한쌍의 불순을 영역을 형성하기 위하여 다른 하나의 반도체 영역위에 형성된 게이트전극과 그의 양극 산화층을 마스크로 사용하여 다른 하나의 반도체 영역의 부분들에 제 2 전도성을 갖는 제 2 불순을 이온을 도입하는 단계로서, 상기 제 2 불순을 이온이 상기 양 반도체 영역의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계를 포함하고, 상기 제 1 불순을 영역과 제 2 불순을 영역이 그들이 결합된 게이트전극의 측면 가장자리와 각각 정렬된, P채널 박막 트랜지스터와 N-채널 박막 트랜지스터를 포함하는 상보형 트랜지스터쌍 제조방법.

##### 청구항 4

제 3 항에 있어서, 제 1 불순들과 제 2 불순들을 활성화시키기 위하여 상기 반도체 섬형상을 조사하는 (irradiating) 단계를 추가로 포함하는 방법.

##### 청구항 5

제 4 항에 있어서, 상기 반도체 섬형상이 상기 제 1 불순들과 제 2 불순들을 활성화시키기 위하여 상기 조사단계에서 레이저 빛으로 조사되는 방법.

##### 청구항 6

제 5 항에 있어서, 상기 제 2 전도성이 제 1 전도성에 반대인 방법.

##### 청구항 7

제 5 항에 있어서, 상기 제 2 전도성이 제 1 전도성에 반대인 방법.

##### 청구항 8

제 3 항에 있어서, 상기 게이트전극이 알루미늄, 몰리브덴, 텐스텐, 티타늄, 탄탈 및 그의 조합으로 구성되는 그룹으로 선택된 물질을 포함하는 방법.

##### 청구항 9

기판의 절연면에 한쌍의 반도체 섬형상을 형성하는 단계 ; 상기 반도체 섬형상에 게이트 절연층을 형성하는 단계 ; 상기 게이트 절연층에 게이트전극을 형성하는 단계 ; 게이트전극의 적어도 층면에 양극 산화층을 형성하기 위하여 양극 산화에 의해 상기 게이트전극의 적어도 층면을 산화하는 단계 ; 상기 게이트전극과 그위의 상기 양극 산화층을 마스크를 사용하여 상기 양 반도체 섬형상의 부분들에 제 1 전도성을 갖는 제 1 불순들을 도입하여 상기 반도체 영역들에 제 1 전도성을 갖는 불순을 영역을 형성하는 단계로서, 상기 제 1 불순들이 상기 양 반도체 섬형상의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계 ; 상기 반도체 섬형상의 하나 및 그위에 형성된 대응하는 게이트전극의 하나위에 마스크를 형성하는 단계.

는 단계 : 및 반도체 성형상의 다른 하나위에 형성된 게이트전극과 그의 양극 산화물을 마스크를 사용하여 반도체 영역의 다른 하나의 부분들에 제 2 전도성을 갖는 제 2 불순을 미온을 도입하여 제 2 전도성을 갖는 한쌍의 불순들을 영역을 형성하는 단계로서, 다른 하나의 반도체 성형상에 함유된 제 1 불순들의 농도가 상기 제 2 불순들의 농도보다 작고, 상기 제 2 불순을 미온이 상기 양 반도체 성형상의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계를 포함하고, 상기 제 1 및 제 2 불순을 영역이 결합된 게이트전극의 흡연 가장자리와 각각 정렬된, P채널 박막 트랜지스터와 N채널 박막 트랜지스터를 포함하는 상보형 트랜지스터의 제조방법.

#### 청구항 10

제 9 항에 있어서, 상기 게이트전극이 알루미늄, 몰리브덴, 텐스텐, 티타늄, 탄탈 및 그의 조합으로 구성되는 그룹으로부터 선택된 물질을 포함하는 방법.

#### 청구항 11

기판의 절연면에 한쌍의 반도체 성형상을 형성하는 단계 ; 상기 반도체 성형상에 게이트 절연층을 형성하는 단계 ; 상기 게이트 절연층에 게이트전극을 형성하는 단계 ; 게이트전극의 적어도 측면에 양쪽 산화층을 형성하기 위하여 양극 산화에 의하여 상기 게이트전극의 적어도 측면을 산화하는 단계 ; 상기 게이트전극과 그위의 상기 양극 산화층을 마스크를 사용하여 상기 양 반도체 성형상의 부분들에 제 1 전도성을 갖는 제 1 불순들을 도입하여 상기 반도체 성형상에 제 1 전도성을 갖는 불순을 영역들을 형성하는 단계로서, 상기 제 1 불순들이 상기 양 반도체 성형상의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계 ; 상기 반도체 성형상 및 그위에 형성된 게이트전극의 대응하는 하나위에 마스크를 형성하는 단계 ; 및 반도체 성형상의 다른 하나에 형성된 게이트전극과 그의 양극 산화층을 마스크를 사용하여 다른 하나의 반도체 영역의 부분들에 제 2 전도성을 갖는 제 2 불순을 미온을 도입하여, 반도체 영역의 다른 하나에 함유된 제 1 불순들의 농도가 제 2 불순들의 농도보다 작은, 제 2 전도성을 갖는 한쌍의 불순들 영역을 형성하는 단계로서, 상기 제 2 불순을 미온이 상기 양 반도체 성형상의 각각의 주요표면에 대해 경사진 방향으로 향하는 단계를 포함하고, 상기 제 1 불순을 영역과 제 2 불순을 영역이 결합된 전극의 흡연 가장자리와 각각 정렬되는 전기광학장치의 제조방법.

#### 청구항 12

제 11항에 있어서, 상기 장치가 액정장치인 방법.

#### 청구항 13

기판의 절연면에 형성된 P채널 박막 트랜지스터와 N채널 박막 트랜지스터를 포함하는 상보형 박막 트랜지스터쌍에 있어서, (a) 상기 P채널 박막 트랜지스터가 상기 절연면에 형성되고 소스, 드레인 및 채널영역을 갖는 제 1 반도체층, 상기 제 1 반도체층 위에 형성된 제 1 게이트 절연층, 및 상기 게이트 절연층 위에 형성된 제 1 게이트전극을 포함하여, (b) 상기 N채널 박막 트랜지스터가 상기 절연면 위에 형성되고 소스, 드레인 및 채널영역을 갖는 제 2 반도체층, 상기 제 2 반도체층 위에 형성된 제 2 게이트 절연층, 및 상기 제 2 게이트 절연층 위에 형성된 제 2 게이트전극을 포함하고, 적어도 상기 게이트전극의 흡연이 상기 게이트전극의 양극 산화층과 함께 형성되고, 상기 소스 및 드레인 영역이 상기 트랜지스터 각각의 대응 게이트전극으로부터 오프셋된 상보형 박막 트랜지스터쌍.

#### 청구항 14

제 13항에 있어서, 채널영역과 소스 및 드레인 영역 사이의 각각 경계가 박막 트랜지스터 각각의 게이트전극의 상기 양극 산화층의 외부 가장자리와 정렬된 상보형 박막 트랜지스터쌍.

#### 청구항 15

각 트랜지스터가 기판상에 형성되고, 소스, 드레인 및 채널영역을 갖는 적어도 하나의 반도체층 및 상기 채널영역 위에 형성된 게이트전극을 갖는 제 1 및 제 2 박막 트랜지스터를 포함하고, 상기 제 1 트랜지스터의 소스와 드레인 영역이 P형 전도성 불순들과 상기 N형 전도성 불순들 양쪽으로 도포되고, 상기 제 2 트랜지스터의 소스와 드레인 영역이 상기 P형 전도성 불순들과 상기 N형 전도성 불순들 중 오직 하나로 도포되며, 상기 게이트전극의 적어도 측면이 상기 게이트전극의 양극 산화층과 함께 형성되고, 상기 제 1 및 제 2 박막 트랜지스터 각각의 소스와 드레인 영역이 대응 게이트전극으로부터 오프셋된 상보형 박막 트랜지스터쌍.

#### 청구항 16

제 15항에 있어서, 채널영역과 소스 및 드레인 영역 사이의 각 경계가 각각의 박막 트랜지스터의 게이트전극의 상기 양극 산화층의 외부 가장자리와 정렬된 상보형 박막 트랜지스터쌍.

#### 청구항 17

제 15항에 있어서, 상기 제 2 트랜지스터의 소스와 드레인 영역에 함유된 P형 전도성 불순들과 N형 전도성 불순들 중 상기 하나의 농도가 제 1 트랜지스터의 소스와 드레인 영역에 함유된 다른 하나의 불순들의 농도보다 작은 상보형 박막 트랜지스터쌍.

#### 청구항 18

기판의 절연면에 형성된 P채널 박막 트랜지스터와 N채널 박막 트랜지스터를 포함하고, (a) 상기 P채널 박막 트랜지스터가 상기 절연면에 형성되고, 소스, 드레인 및 채널영역을 갖는 제 1 반도체층, 상기 제 1 반도체층 위에 형성된 제 1 게이트 절연층, 및 상기 제 1 게이트 절연층 위에 형성된 제 1 게이트전극을 포함하고, (b) 상기 N채널 박막 트랜지스터가 상기 절연면에 형성되고, 소스, 드레인 및 채널영역을 갖는 제 2 반도체층, 상기 제 2 반도체층 위에 형성된 제 2 게이트 절연층, 상기 제 2 게이트 절연층 위에

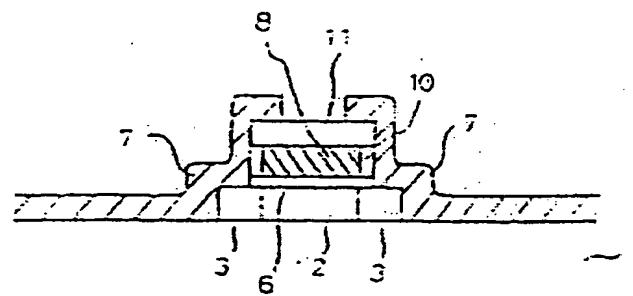
형성된 제 2 게이트전극을 포함하여, 상기 게이트전극의 적어도 측면이 상기 게이트전극의 양극 산화층과 함께 형성하고, 상기 소스와 드레인 영역이 상기 트랜지스터 각각의 대응 게이트전극으로부터 오포蚀된 전기광학장치.

### 청구항 19

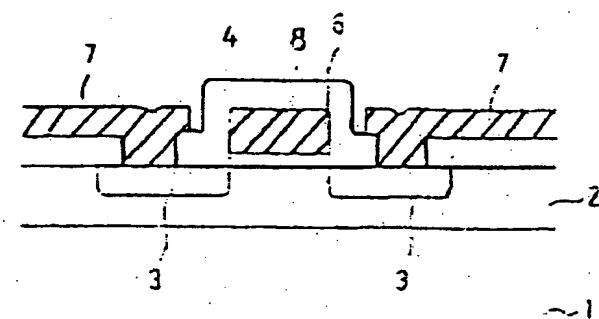
제18항에 있어서, 상기 장치가 액정 장치인 전기광학장치.

도면 1

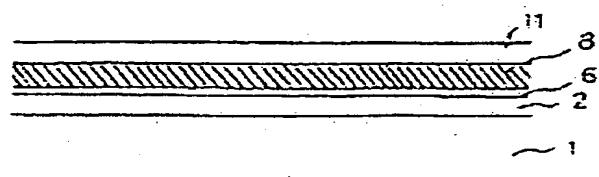
도면 1



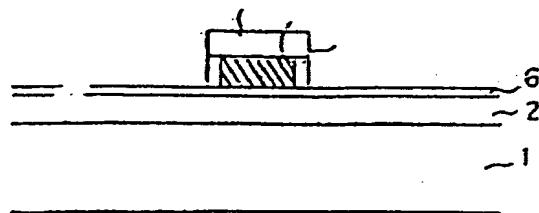
도면 2



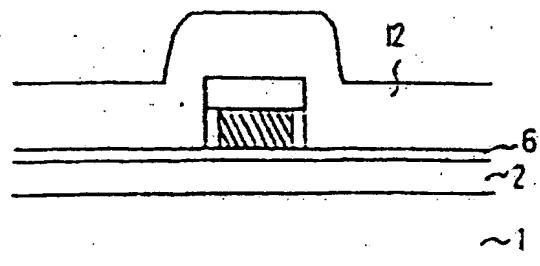
도면 3A



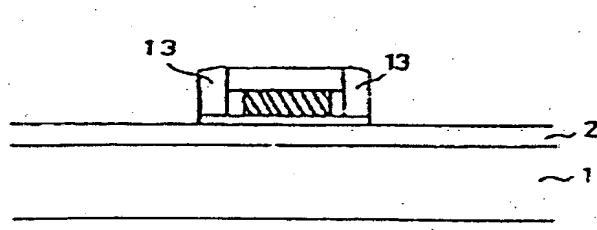
E83-B



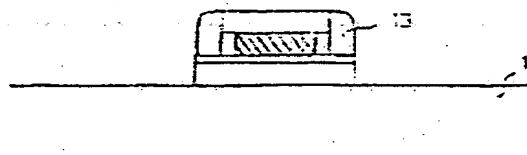
E83-C



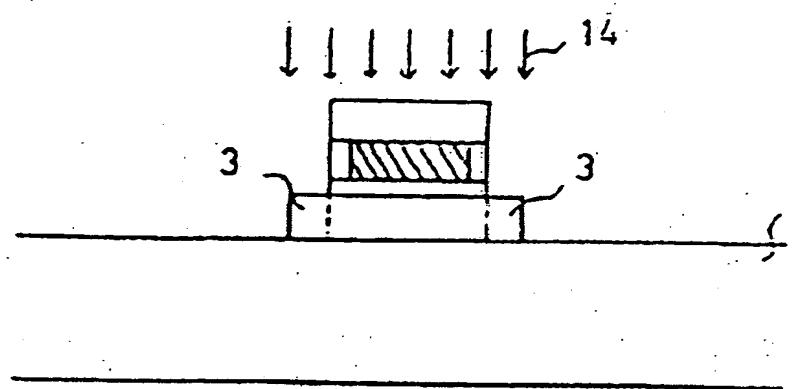
E83-D



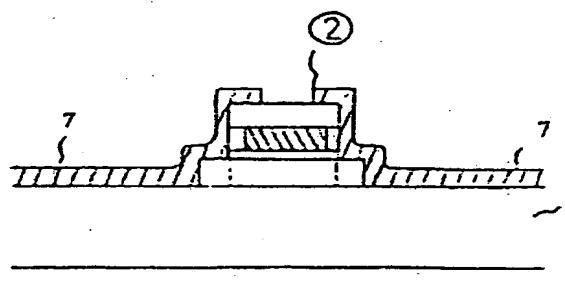
E83-E



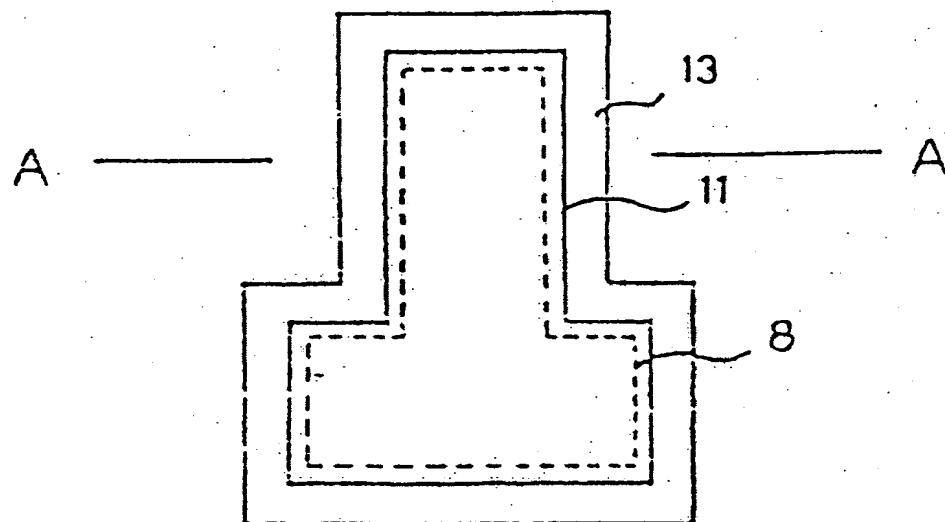
503-F

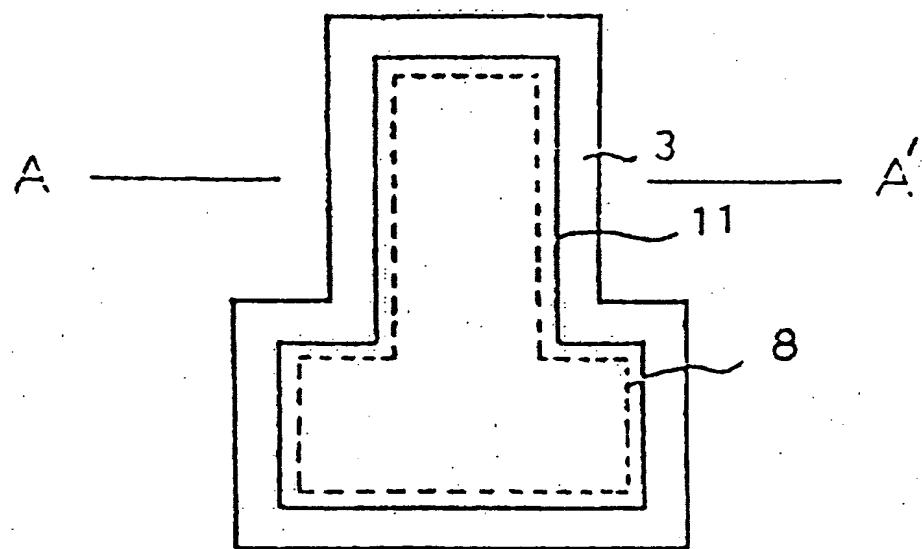


503-G

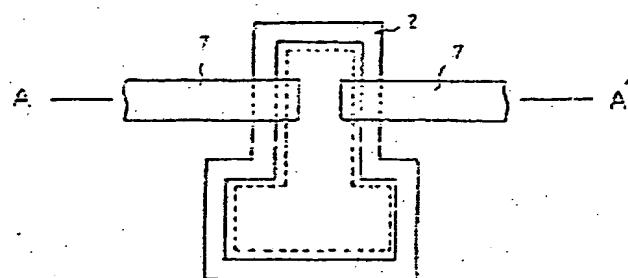


504-A

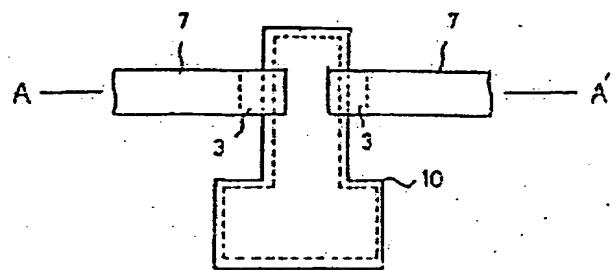




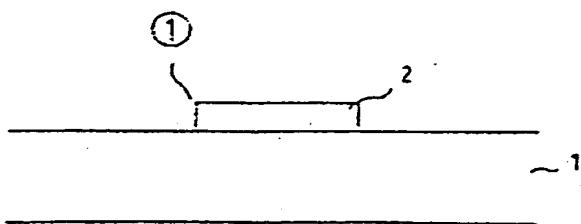
504-9



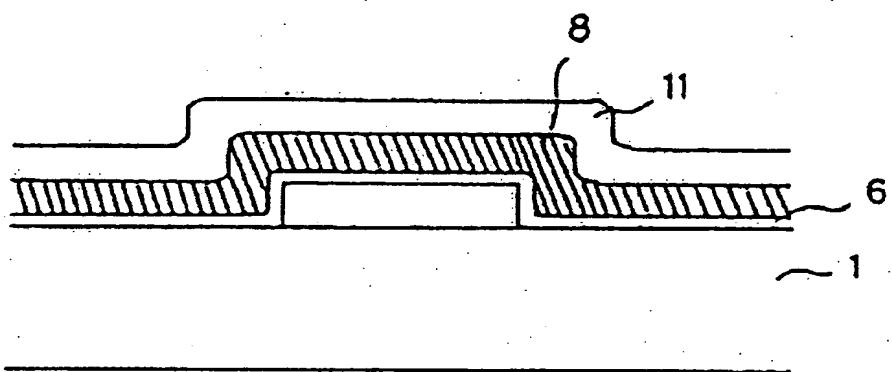
504-10



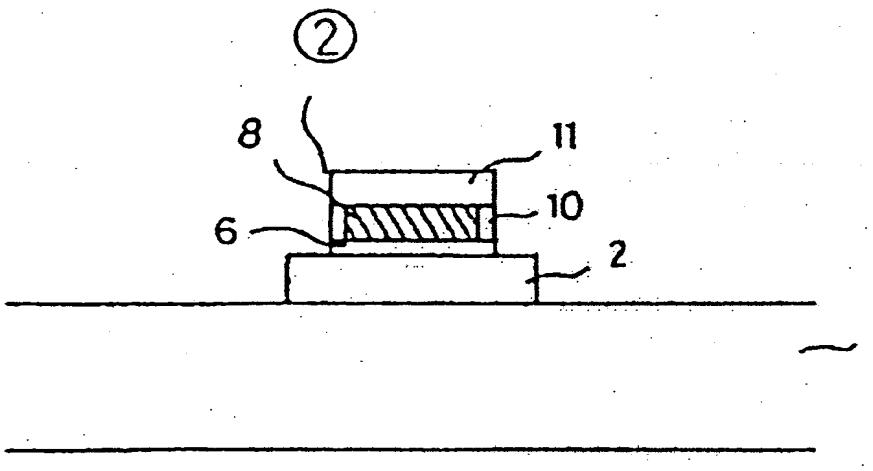
S-25A



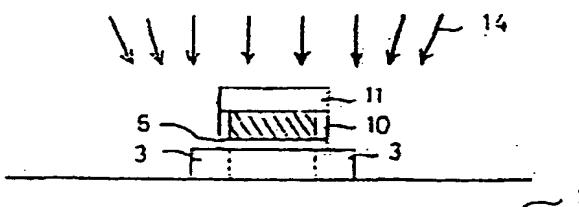
S-25-B



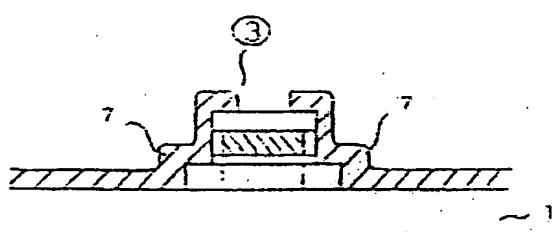
S-25-C



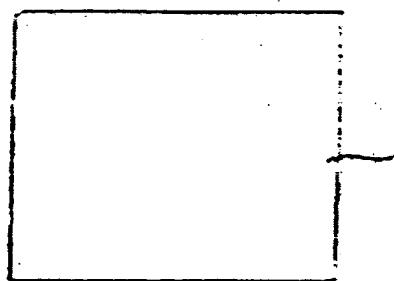
5050



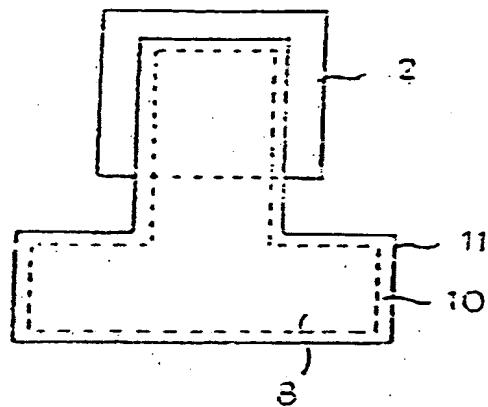
5055



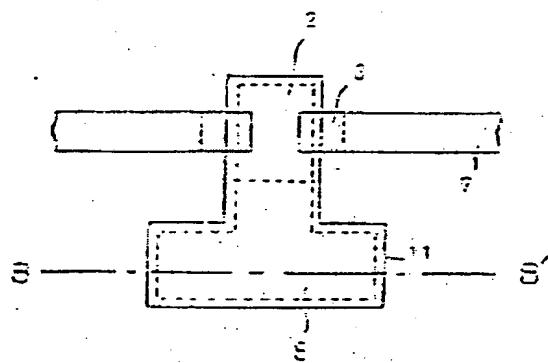
5060A



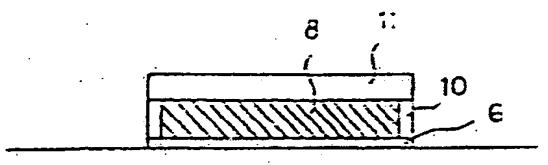
E00-B



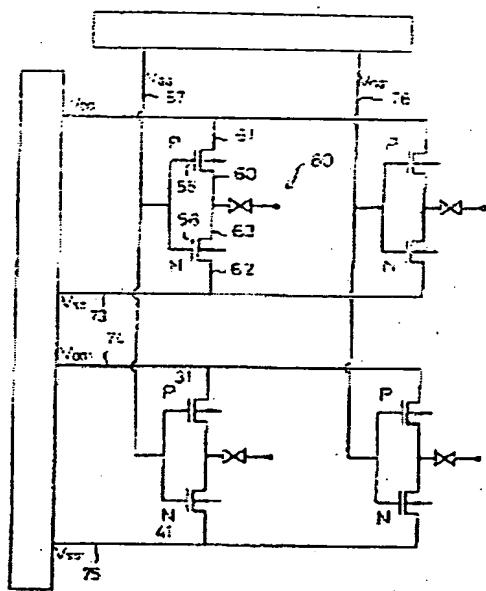
E00-C



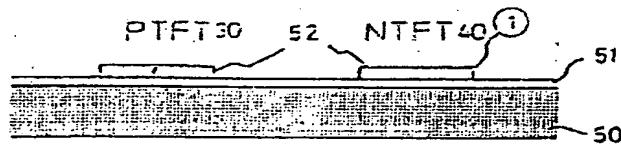
E00-D



587



588A



588B

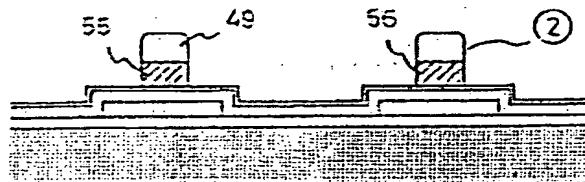


FIG-C

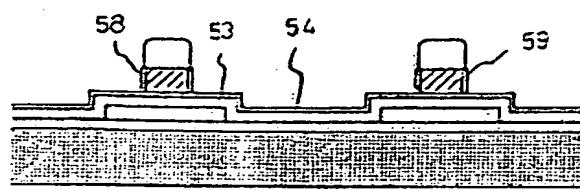


FIG-D

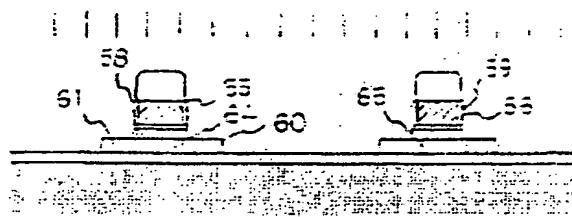


FIG-E

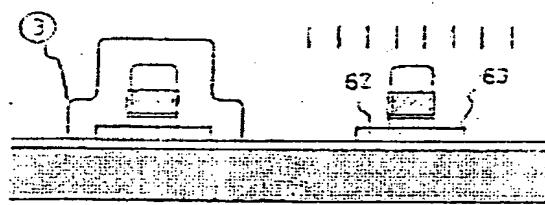


FIG-F

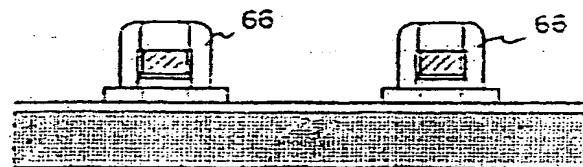
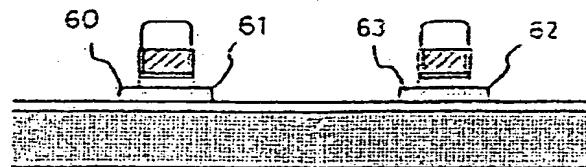
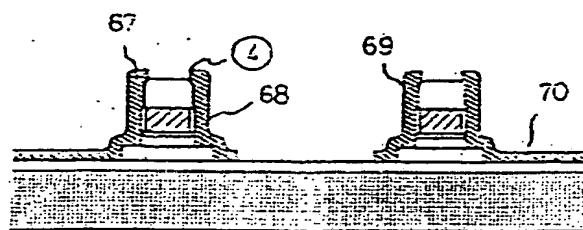


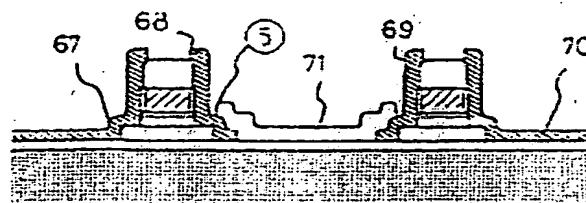
FIG-G



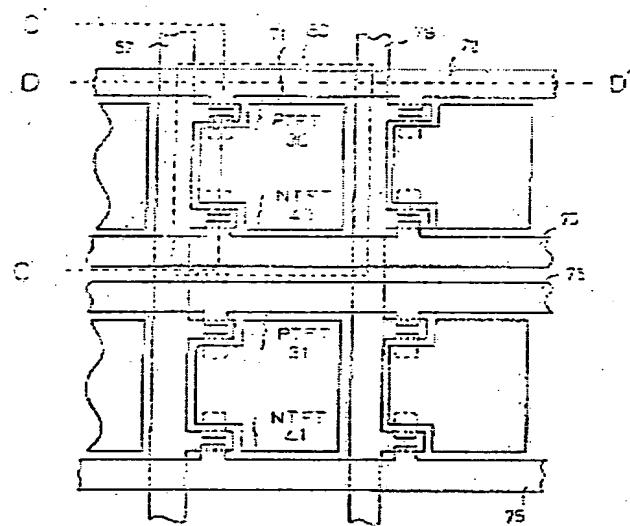
도면 4



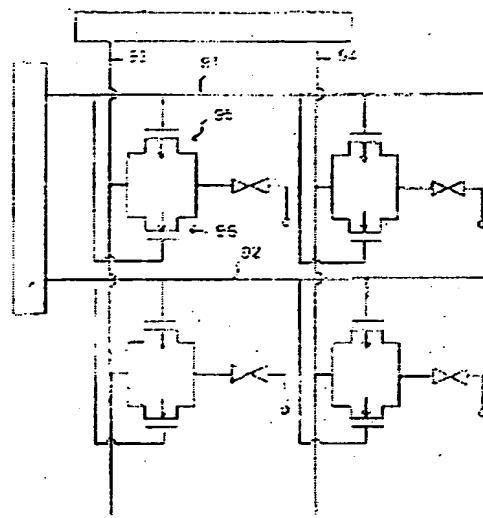
도면 5



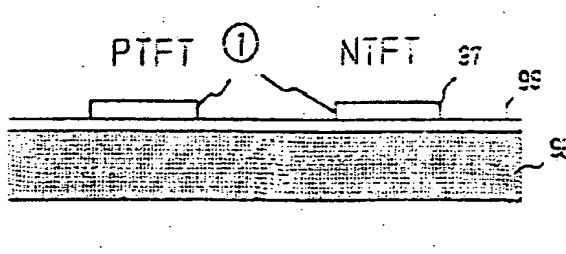
도면 6



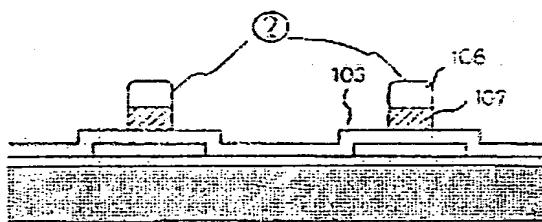
5010



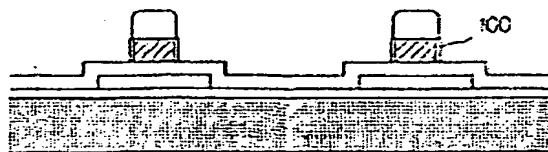
5011-A



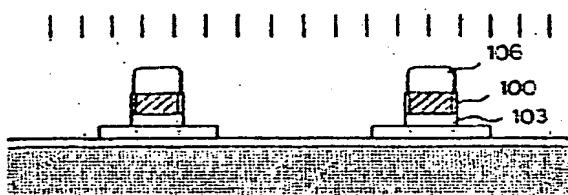
5011-B



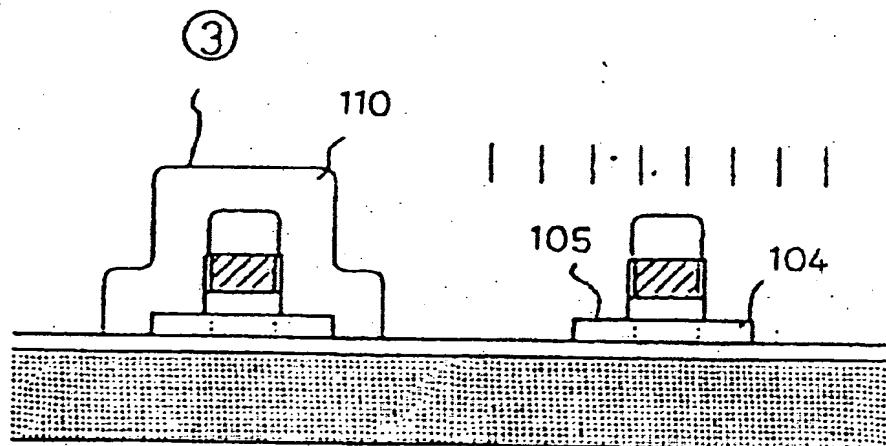
S011-C



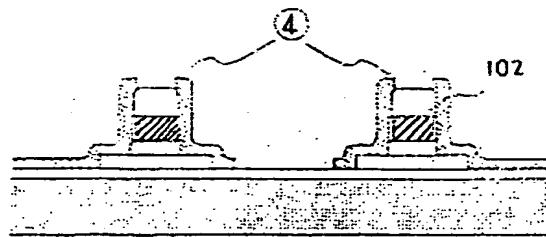
S011-D



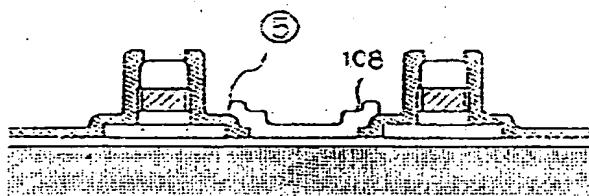
S011-E



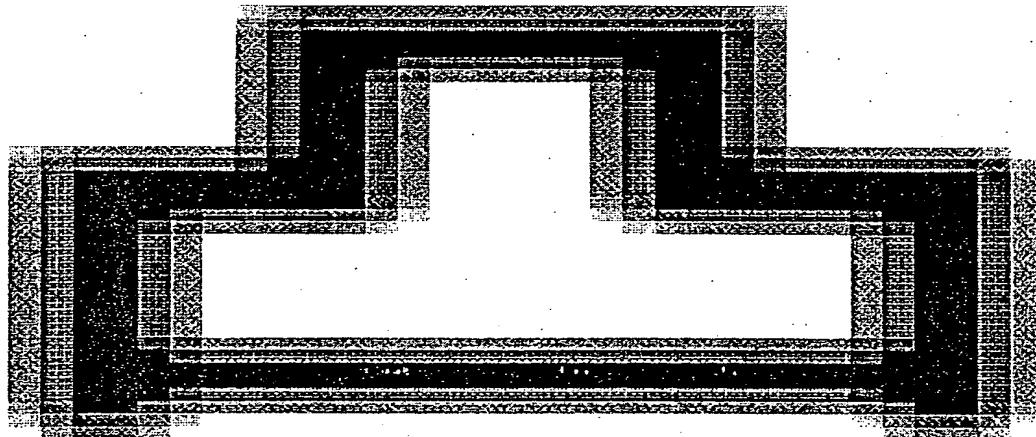
EB11-F



EB11-G

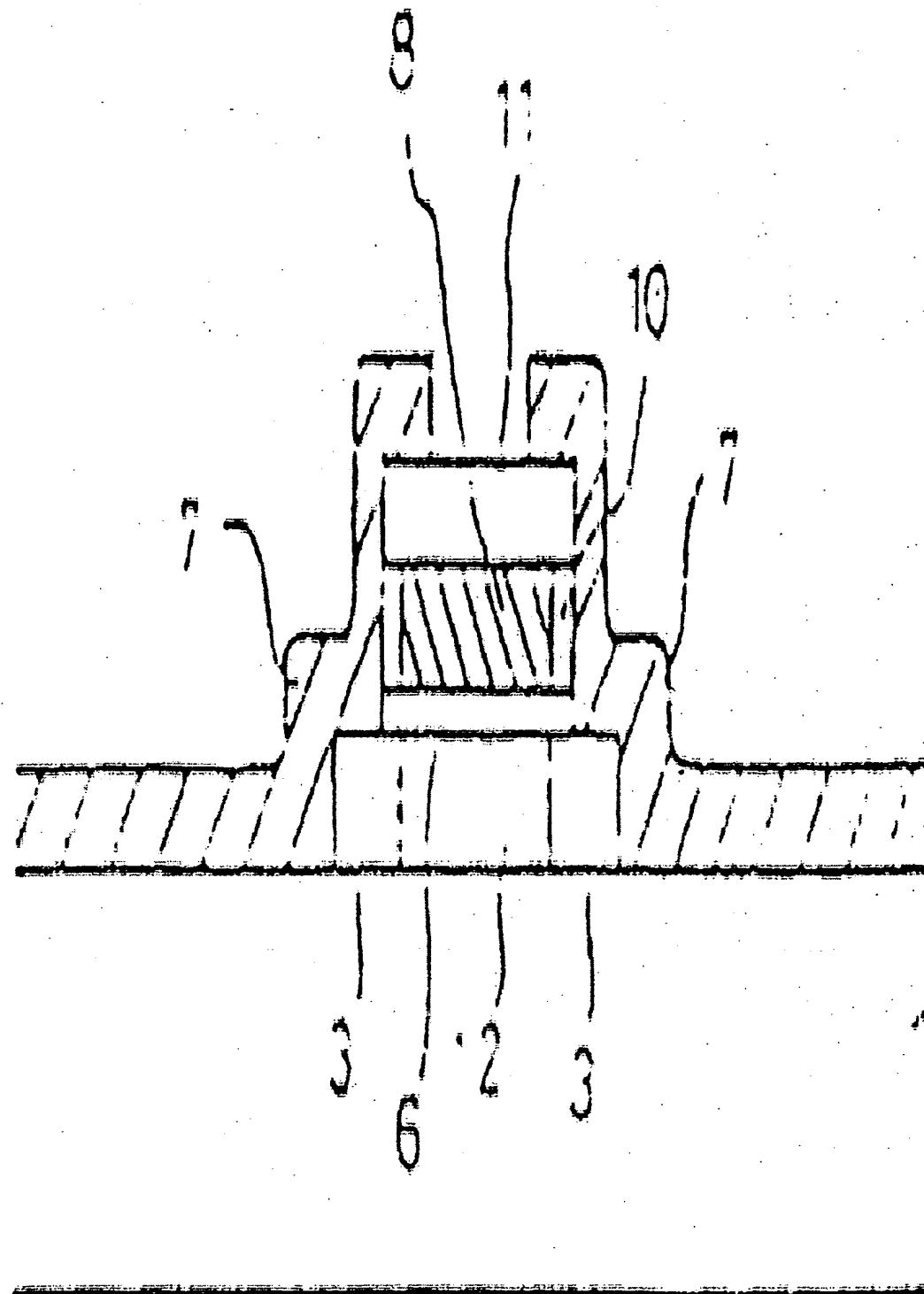


EB2-C

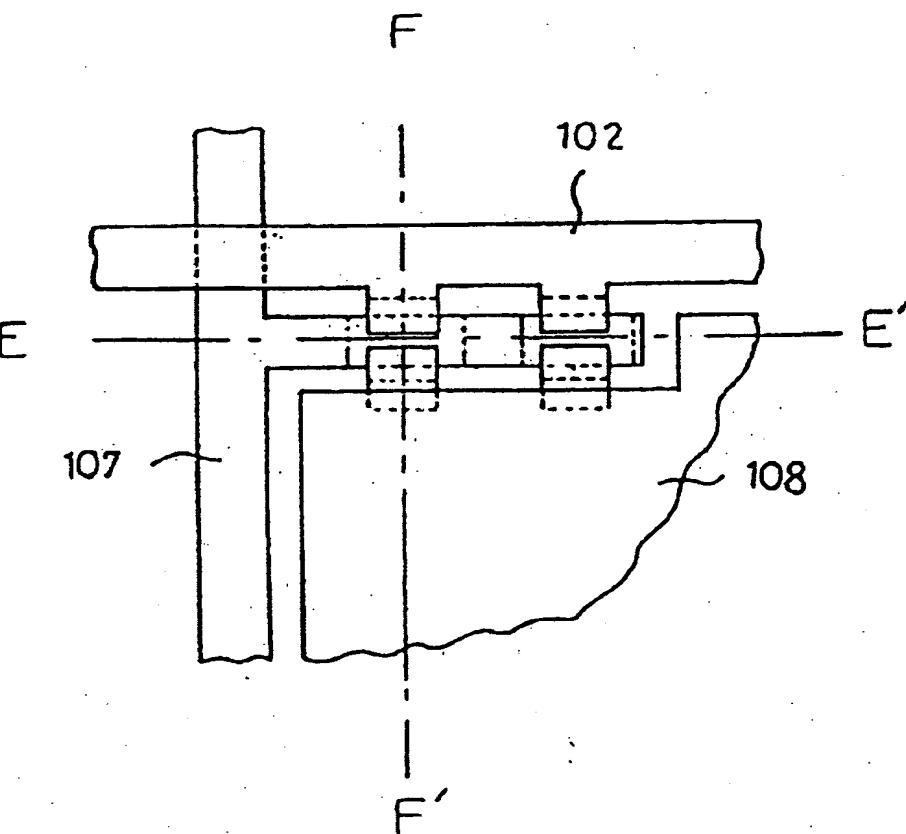


580-8

26-24



5824



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**